



Universidad
Carlos III de Madrid

ESCUELA POLITÉCNICA SUPERIOR
Departamento de Tecnología Electrónica

PROYECTO FIN DE CARRERA

Ingeniería Técnica especialidad Imagen y Sonido

Amplificador de audio Clase D

Autor: Emmanuel Umendu Ríos

Tutor: Pablo Zumel Vaquero

Proyecto Fin de Carrera



Índice de contenidos.

CAPÍTULO 1. PLANTEAMIENTO Y OBJETIVOS DEL PROYECTO	8
PLANTEAMIENTO Y OBJETIVOS DEL PROYECTO	9
CAPÍTULO 2. INTRODUCCIÓN	12
2.1. EL MICRÓFONO	13
2.2. CARACTERÍSTICAS PRINCIPALES DE LOS MICRÓFONOS	13
2.3. EL ALTAVOZ	16
2.4. CARACTERÍSTICAS FUNDAMENTALES DEL ALTAVOZ	16
2.5. EL ESPECTRO AUDIBLE HUMANO	19
2.7. EL CIRCUITO INTEGRADO	20
PUENTE INVERSOR	21
CONTROL A/D	21
FILTRO LCL	21
CAPÍTULO 3. HARDWARE DEL SISTEMA	23
3.1. ESQUEMA FÍSICO DEL MONTAJE DEL PROTOTIPO Y BLOQUE DE CONTROL	24
3.2. EL CIRCUITO DE CONVERSIÓN DE DATOS	25
3.3. LA FPGA	26
3.4. PUENTE INVERSOR	28
3.4.1. EL INVERSOR CON MODULACIÓN POR ONDA CUADRADA	30
3.5. MONTAJE DEL PROTOTIPO DE PRUEBAS	31
CAPÍTULO 4. CONTROL DIGITAL DEL CONVERTOR A/D Y PUENTE INVERSOR	36
4.1. EL CONTROL DEL CONVERTIDOR A/D	37
4.1.2. VALIDACIÓN EXPERIMENTAL DEL BLOQUE DE CONTROL PARA EL CONVERTIDOR A/D	37
4.2. VALIDACIÓN EXPERIMENTAL DEL INVERSOR	40
CAPÍTULO 5. AMPLIFICACIÓN EN CLASE D.	44
5.1. AMPLIFICACIÓN EN CLASE D	45
5.2. AMPLIFICADORES CLASE D	48
Amplificadores Clase D Analógicos	48
Amplificadores Clase D Analógicos/Digitales	49
Amplificadores Clase D Digitales	49
CAPÍTULO 6. AMPLIFICACIÓN EN AUDIO BASADA EN MODULACIÓN PWM.	51
6.1. AMPLIFICACIÓN PWM	52
6.2. MODULACIÓN PWM	53
MODELO ANALÓGICO	54

Proyecto Fin de Carrera



Índice de contenidos.

6.3. ESQUEMA GLOBAL DEL CIRCUITO PWM DIGITAL	56
6.4. PRINCIPIO GENERAL DE FUNCIONAMIENTO	56
6.5. FILTRO LCL	58
6.6. RESULTADOS DE LAS SIMULACIONES.....	59
<i>CAPÍTULO 7. AMPLIFICACIÓN EN AUDIO BASADA EN MODULACIÓN DE SIGMA-DELTA.</i>	<i>63</i>
7.1. AMPLIFICACIÓN SIGMA-DELTA	64
7.2. MODULACIÓN SIGMA-DELTA.....	64
MODELO ANALÓGICO	66
7.3. ESQUEMA GLOBAL DEL CIRCUITO SIGMA-DELTA DIGITAL	69
7.2. PRINCIPIO GENERAL DE FUNCIONAMIENTO	70
7.3. FILTRO LCL	71
7.4. RESULTADO DE LA SIMULACIÓN	71
<i>CAPÍTULO 8. ESTUDIO ECONÓMICO.....</i>	<i>75</i>
8.1. COSTE DEL MATERIAL.....	76
8.2. COSTE DE PERSONAL.....	76
8.3. COSTE TOTAL.....	77
<i>CAPÍTULO 9. CONCLUSIONES Y TRABAJOS FUTUROS.....</i>	<i>79</i>
9.1. CONCLUSIONES	80
9.2. TRABAJOS FUTUROS.....	80
<i>BIBLIOGRAFÍA Y REFERENCIAS</i>	<i>82</i>
<i>ANEXOS</i>	<i>85</i>
HOJAS DE CARACTERÍSTICAS.....	86
ESQUEMA ANALÓGICO DEL CIRCUITO DESARROLLADO MEDIANTE ORCAD.....	97
ESQUEMA DIGITAL DEL CIRCUITO DESARROLLADO MEDIANTE XILINX.....	98
CÓDIGO VHDL.....	99



Proyecto Fin de Carrera

Índice de contenidos.



Figura 1. Diagrama de bloques del amplificador propuesto.....	9
Figura 2. <i>Micrófono</i>	13
Figura 3 <i>Altavoz</i>	16
Figura 4. Esquema Omnidireccional.....	18
Figura 5. Esquema Bidireccional.	18
Figura 6. Esquema Cardioide.....	18
Figura 7. <i>Espectro audible humano</i>	19
Figura 8. <i>Circuito integrado</i>	20
Figura 9. <i>Esquema completo del circuito</i>	24
Figura 10. <i>Patillaje del Conversor ADC0804LCD</i>	25
Figura 11. <i>Cronograma de tiempos para el funcionamiento del convertidor ADC0804LCD</i>	26
Figura 12. <i>Esque eléctrico del convertidor A/D</i>	26
Figura 13. <i>Tarjeta de evaluación FPGA empleada para el control del amplificador y ADC</i>	27
Figura 14. Puente Inversor empleado en el proyecto AMPLIFICADOR DE AUDIO DE CLASE D. .	28
Figura 15. <i>Inversor en puente completo</i>	28
Figura 16. <i>Circuitos equivalentes del inversor en puente completo: (a) S_1 y S_2 cerrados. (b) S_3 y S_4 cerrados. (c) S_1 y S_3 cerrados. (d) S_2 y S_4 cerrados</i>	29
Figura 17. <i>Formas de onda de tensión en la carga RL del inversor en puente controlado por onda cuadrada</i>	30
Figura 18. <i>Espectro de Fourier de la tensión de salida de un inversor por onda cuadrada</i>	30
Figura 19. Conexión FPGA y conversor A/D.	32
Figura 20. Conexión FPGA-ADC + circuito amplificador.	32
Figura 21. Conexión FPGA-ADC y salidas de los moduladores PWM y Sigma-Delta.....	33
Figura 22. Conexión FPGA y conversor A/D.	33
Figura 23. Conexión Puente Inversor + Filtro LCL + Altavoz.....	34
Figura 24. Circuitería bloque del micrófono.	34
Figura 25. TL081.	34
Figura 26. <i>Cronograma de tiempos para el funcionamiento del convertidor ADC0804LCD</i>	37
Figura 27. <i>Montaje del control del conversor A/D</i>	38
Figura 28. Visualización de la salida del Bit 0 del ADC.	38
Figura 29. Visualización de la salida del Bit 4 del ADC.	39
Figura 30. Visualización de la salida del Bit 7 del ADC.	39
Figura 31. <i>Esquema puente inversor y filtro LC de sexto orden</i>	41
Figura 33. Generador de Tensiones.	41
Figura 34. Salida en puente inversor para una entrada de 2.9V.....	42
Figura 35. Salida en puente inversor para una entrada de 6.5V.....	42
Figura 36. <i>Etapas de potencia basada en configuración puente, preparada para funcionar como amplificación Clase D</i>	46
Figura 37. <i>Amplificador Clase D Analógico</i>	48
Figura 38. <i>Amplificación PWM Digital</i>	52
Figura 39. <i>Amplificador PWM Digital</i>	52
Figura 40. Generador de funciones AGILENT33120A.	54



Índice de Figuras.

Figura 41. Señal PWM.	54
Figura 42. Circuito analógico PWM con Puente Inversor.	55
Figura 43. Resolución PWM.	55
Figura 44. Esquema global del circuito PWM.....	56
Figura 45. Visualización Cortocircuito Puente Inversor.	57
Figura 46. Osciloscopio Tektronix TDS 2024B.	58
Figura 47. Esquema del circuito del filtro LCL.	58
Figura 48. Respuesta en Frecuencia del filtro LCL de sexto orden.....	59
Figura 49. Respuesta para señal senoidal de 100Hz.	60
Figura 50. Respuesta para señal senoidal de 1.2KHz.	60
Figura 51. Respuesta para señal senoidal 4.5KHz.	61
Figura 52. Modulador Sigma-Delta de primer orden.....	64
Figura 53. Modelo lineal de un modulador Sigma-Delta discreto de primer orden.	64
Figura 54. Diagrama de bloques general de un modulador SD en tiempo discreto.	66
Figura 55. Implementación circuito analógico Sigma-Delta.	67
Figura 56. Señal en el Modulador Sigma-Delta.....	68
Figura 57. Circuito Sigma-Delta + Puente Inversor.	68
Figura 58. Circuito digital completo Sigma-Delta.....	69
Figura 59. Filtro LCL Modulador Sigma-Delta.....	71
Figura 60. Respuesta para señal senoidal 100Hz.	72
Figura 61. Respuesta para señal senoidal 1.2KHz.	72
Figura 62. Respuesta para señal senoidal 4.5KHz.	73



CAPÍTULO 1.

PLANTEAMIENTO Y

OBJETIVOS DEL

PROYECTO



PLANTEAMIENTO Y OBJETIVOS DEL PROYECTO

El presente proyecto lleva a cabo el desarrollo de un amplificador de audio tipo D basado en dos tipos de modulación, modulación PWM y modulación Sigma-Delta ambos con puente inversor en H. Tanto el modulador PWM como el modulador Sigma-Delta se desarrollaran mediante circuitos digitales implementados en una FPGA.

La señal de audio de entrada se digitalizará mediante un convertidor analógico–digital (ADC) que también estará controlado mediante una circuitería digital implementada en la misma FPGA. A continuación podemos observar el diagrama de bloques del amplificador:

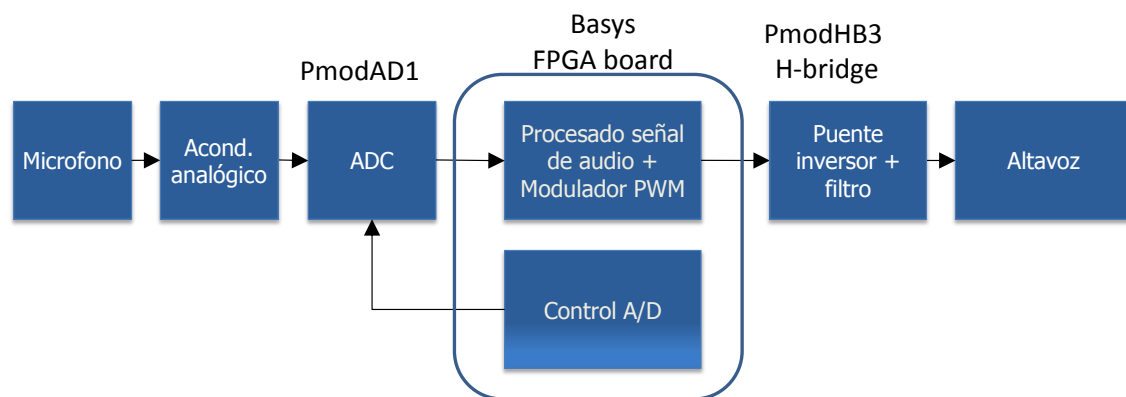


Figura 1. Diagrama de bloques del amplificador propuesto.

Este proyecto fin de carrera se centra en el diseño del amplificador clase D así como de su montaje para su posterior funcionamiento, con el fin de conseguir que mediante un micrófono y un altavoz consigamos ampliar la tensión de salida recogida a la entrada.

Todos los resultados obtenidos han sido simulados con la herramienta de simulación de sistemas digitales basados en lenguaje VHDL, MODELSIM. Dichos resultados han sido validados experimentalmente y los cuales se detallan a continuación:

- Se ha diseñado un circuito analógico conjunto donde se recoge tanto el modulador Sigma-Delta como el modulador PWM así como sus correspondientes puentes inversores en H.
- Se ha diseñado el mismo circuito en digital ya que será nuestra FPGA la que lleve a cabo todo el proceso.
- El sistema de control digital está constituido por un kit básico de evaluación para FPGA's, concretamente el modelo BASYS de la compañía DIGILENT INC., en cuyo diseño alberga una FPGA modelo SPARTAN 3E de XILINX. Este dispositivo es el encargado de capturar los valores de las señales eléctricas digitalizadas por los ADC y de generar a su vez los disparos del amplificador.

El objetivo principal de este proyecto es **construir un sistema de amplificación de tensión, que sea capaz de aumentar la ganancia recibida a la entrada proveniente de un micrófono y devolverla al medio ampliada mediante un altavoz**. Este objetivo se puede dividir en los siguientes objetivos parciales:

Proyecto fin de carrera



Capítulo 1. Planteamiento y objetivos del proyecto.

- Diseñar y construir el circuito analógico que represente esta función mediante esquemáticos utilizando la herramienta proporcionada por CADENCE, Orcad capture CIS.
- Desarrollo e implementación del circuito digital que permita lograr el mismo resultado que el punto anterior mediante la herramienta de trabajo Xilinx ISE Design Suite 13.4.
- Ensamblaje del circuito completo junto con los elementos necesarios para su desarrollo final (micrófono y altavoces).



Proyecto fin de carrera

Capítulo 1. Planteamiento y objetivos del proyecto.



CAPÍTULO 2.

INTRODUCCIÓN



En este capítulo introductorio se realizara una descripción general de los componentes de un sistema de amplificación de sonido desde que la señal es recogida por un micrófono hasta su salida a través de un altavoz, haciendo especial mención a la parte de amplificación de la señal.

2.1. EL MICRÓFONO

El micrófono es un transductor electroacústico. Su función es la traducir las vibraciones debidas a la presión a la presión acústica ejercida sobre su capsula por las ondas sonoras en energía eléctrica. Ver *Figura 2*.



Figura 2. Micrófono.

Para ello se necesita la combinación escalonada de dos tipos de transductores:

1. El **transductor acústico-mecánico** está formado por una membrana, o diafragma, que al recibir una onda de presión, se desplaza con una velocidad, comunicando una fuerza a algún elemento móvil, por ejemplo una bobina. Dentro de este transductor se encuentran los circuitos acústicos, que permiten dar diferentes directividades a los micrófonos.
2. El **transductor mecano-eléctrico** consiste, generalmente, en un dispositivo electromagnético o electrostático que, según una ley física (movimiento de una bobina en un campo magnético, y carga o descarga de un condensador, respectivamente), convierte el desplazamiento del diafragma en una señal eléctrica.[1]

2.2. CARACTERÍSTICAS PRINCIPALES DE LOS MICRÓFONOS.

Como características fundamentales de los micrófonos destacamos las siguientes:

- La **Directividad** de un micrófono nos dice cómo se comporta el micrófono en función del ángulo de incidencia formado por el sonido.



- **omnidireccionales.** El sonido es captado de igual manera desde cualquier cara del micrófono. Es usado para tomar el sonido ambiente de una sala, lugar ó para tomas de orquestas muy grandes donde hay que dar una sensación de agrupación sin disponer de varios micrófonos.
- **Bidireccional.** El sonido es captado por ambas caras del micrófono. Es muy útil para tomar a dos locutores enfrentados, dos instrumentos al mismo tiempo, etc. Sin que sonidos laterales se filtren en la señal.
- **Cardioid.** Es el más usado. El sonido ingresa mayoritariamente por el frente del micrófono. Usado para toma de instrumentos, voces, sonidos a poca distancia.
- **Hipercardioid.** Es una variante más direccional que la anterior. Es utilizado para discriminar un sonido entre varios, por ejemplo la toma de instrumentos en un escenario ó toma de sonidos al aire libre.

Para poder saber estas características, se representa mediante los diagramas polares.

Diagrama polar de un micrófono omnidireccional para las frecuencias de 1,2.5, 5 y 10 kHz. Según aumenta la frecuencia observamos que la respuesta omnidireccional se deteriora.

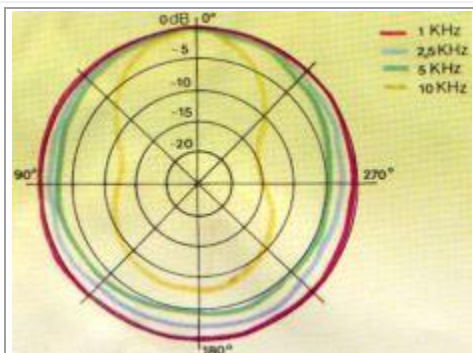
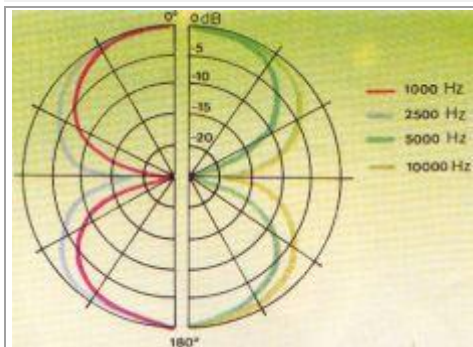
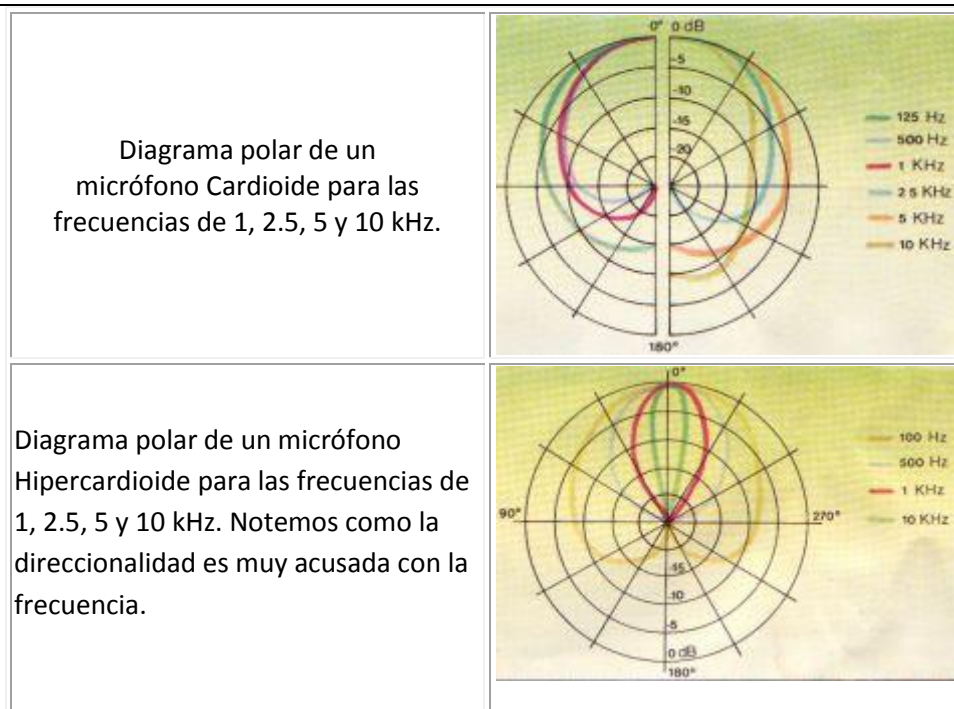


Diagrama polar de un micrófono bidireccional para las frecuencias de 1, 2.5, 5 y 10 kHz.





- La Sensibilidad de un micrófono es la eficiencia por la que un micrófono va a transformar la presión sonora en tensión eléctrica. Al hacer vibrar una membrana ésta transforma la vibración en electricidad.

La sensibilidad se define como la relación entre la tensión eléctrica expresada en voltios obtenida en los bornes del micrófono en circuito abierto y la presión sonora aplicada en Pascal utilizando una frecuencia de 1000 Hercios. La unidad de sensibilidad es el decibelio (dB).

El nivel de sensibilidad (S_t) es la relación expresada en decibelios entre la sensibilidad S y el nivel de sensibilidad de referencia S_r (1V/Pa), quedando expresado así:

$$S_t = 20 \log \left(\frac{S}{S_r} \right) \quad \text{donde log es el logaritmo decimal.}$$

- La Fidelidad es la respuesta que ofrece el micrófono a diferentes frecuencias (respuesta en frecuencias).
- Impedancia interna. Es la resistencia que opone el micrófono al paso de la tensión. La impedancia según su valor viene caracterizada por baja, alta y muy alta impedancia.
 - Lo-Z Baja impedancia (alrededor de 200 Ohmios).
 - Hi-Z Alta impedancia (1 K Ω o 3 K Ω e incluso 600 Ω).
 - VHi-Z Muy alta impedancia (más de 3 K Ω).

Si el micrófono es de alta impedancia y tiene un cable largo se produce una pérdida muy grande, tendremos que adecuarlo. Si tenemos una impedancia baja se puede utilizar un cable muy largo y no se pierde tanto la señal.



- Impedancia de carga. Es la impedancia que va a recibir el micrófono.
- Ruido de fondo. Es la tensión o señal que nos entrega el micrófono sin que exista ningún sonido incidiendo sobre él. Se produce por el movimiento térmico de los electrones, por la carcasa que no tiene masa, por inducción de campos magnéticos externos, ruido del viento, etc. Debe estar en torno a los 60 dB.
- Gama dinámica. Es el margen, desde el sonido más bajo hasta el más alto, que es capaz de captar un micrófono. Para que un micrófono sea idóneo el ruido magnético debe ser menor de 15 dB y el campo magnético debe ser menor de 10 dB.

Para la realización del Proyecto Amplificador de audio Clase D se emplea un micrófono Cardioide de transductor acústico- mecánico como el que aparece en la *Figura 2*.

2.3. EL ALTAVOZ

Un altavoz es un transductor electroacústico utilizado para la reproducción de sonido. Ver *Figura 3*.



Figura 3 Altavoz.

La transducción (procedimiento por el cual se transforma o convierte un determinado tipo de energía de entrada en otra diferente que se muestra a la salida) sigue un doble procedimiento: eléctrico-mecánico-acústico. En la primera etapa convierte las ondas eléctricas en energía mecánica, y en la segunda convierte la energía mecánica en ondas de frecuencia acústica. Es por tanto la puerta por donde sale el sonido al exterior. El sonido se transmite mediante ondas sonoras, en este caso, a través del aire y nuestro oído capta estas ondas y las transforma en impulsos nerviosos que llegan al cerebro.

2.4. CARACTERÍSTICAS FUNDAMENTALES DEL ALTAVOZ

A continuación se llevara a cabo una descripción de las principales características que conforman a un altavoz:



- Respuesta en frecuencia. La **respuesta en frecuencia** del altavoz no es plana. El altavoz ideal debería dar una respuesta uniforme, es decir, igual potencia a todas las frecuencias, pero este altavoz no existe.

La banda conflictiva es la de los **graves**, por ello, no se empieza la medición en los 20-30 Hz, sino que se eleva esta cifra hasta los 80 Hz.

- Potencia. Hace referencia a la **potencia eléctrica** que admite el altavoz (no a la **potencia acústica**). Es la cantidad de energía (en **vattios**) que se puede introducir en el altavoz antes de que éste distorsione en exceso o de que pueda sufrir daños. Dentro de la potencia se diferencia entre potencia nominal y potencia admisible.
- Potencia media máxima o potencia de régimen. Corresponde a la potencia máxima que se puede aplicar al altavoz de forma continua. Determina la potencia máxima que puede disipar la bobina (en forma de calor) sin que ésta se queme por exceso de temperatura.
- Potencia de ruido. Especifica el máximo valor de la potencia con que puede trabajar el altavoz (sobre la impedancia nominal) sin que sufra daños permanentes (mecánicos o térmicos), cuando se le excita con una señal ruidosa en alguna banda del espectro.

Un parámetro importante (y muy relacionado con la potencia) de los altavoces es la eficiencia. La eficiencia es una medida del rendimiento de la transducción electro-acústica. Es la relación de la potencia acústica del altavoz y la potencia eléctrica necesaria para ello:

$$Eficiencia = \frac{P_{acustica}}{P_{electrica}} 100\%$$

La eficiencia de un altavoz nunca supera el 50% y generalmente es menor al 10%.

- Impedancia. Es la oposición que presenta cualquier elemento o dispositivo al paso de una corriente alterna (sinusoidal), en este caso la fuente de audio es una mezcla de varias frecuencias con lo cual la impedancia no tendrá el mismo valor en todo el rango de frecuencias. La impedancia se expresa en Ohmios.
- Sensibilidad. Es el grado de eficiencia en la transducción electroacústica. Es decir, mide la relación entre el nivel eléctrico de entrada al altavoz y la presión sonora obtenida. Suele darse en dB/W, medidos a 1 m de distancia y aplicando una potencia de 1 W al altavoz.
- Rendimiento. El rendimiento mide el grado de sensibilidad del altavoz. Es el porcentaje que indica la relación entre la Potencia acústica radiada y la Potencia eléctrica de entrada. Potencia acústica / potencia eléctrica x 100.
- Distorsión. El altavoz es uno de los sistemas de audio que presenta mayor distorsión. La distorsión tiene causas muy variadas: flujo del entrehierro, vibraciones parciales, modulación de frecuencia sobre el diafragma, alinealidad de



las suspensiones, etc. La mayor parte de la distorsión se concentra en el segundo y tercer armónico, por lo que afectará en mayor medida a los tonos graves. Se trata de una distorsión en torno al 10%.

- **Direccionalidad.** Indica la dirección del sonido a la salida del sistema, es decir, el modo en el que el sonido se disipa en el entorno. Al igual que en los micrófonos podemos ver su directividad mediante un diagrama polar.

Dependiendo de su directividad se puede decir que un cono de altavoz es:

- Omnidireccional. Ver Figura 4.
- Bidireccional. Ver Figura 5.
- Cardioide. Ver Figura 6.

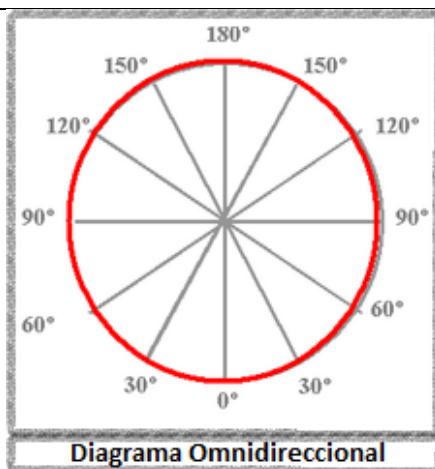


Figura 4. Esquema Omnidireccional.

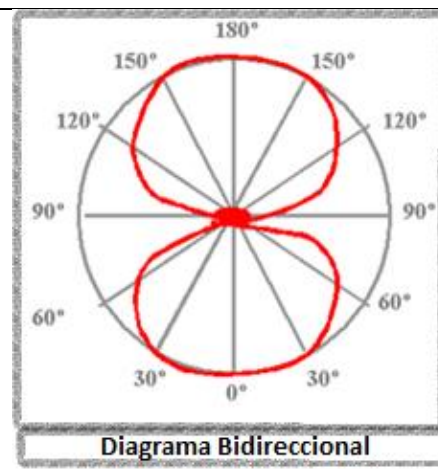


Figura 5. Esquema Bidireccional.

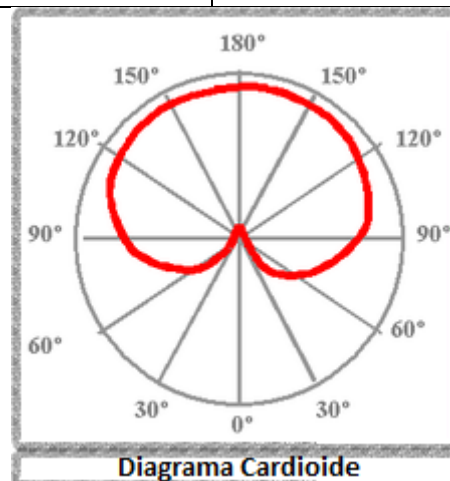


Figura 6. Esquema Cardioide.

Para la realización del proyecto Amplificador de Audio de Clase D se empleará un altavoz omnidireccional como el que aparece en la *Figura 4*.



2.5. EL ESPECTRO AUDIBLE HUMANO

Es importante destacar la capacidad que tiene nuestro oído para percibir los sonidos procedentes del exterior, es decir la gama de frecuencias que es capaz de percibir el oído humano.

Un oído sano y joven es capaz de percibir frecuencias comprendidas entre 20 Hz y 20 kHz (Ver Figura 7). Estos valores no son precisos ya que dependen de cada persona y de la edad del oído debido a que disminuye conforme este envejece.

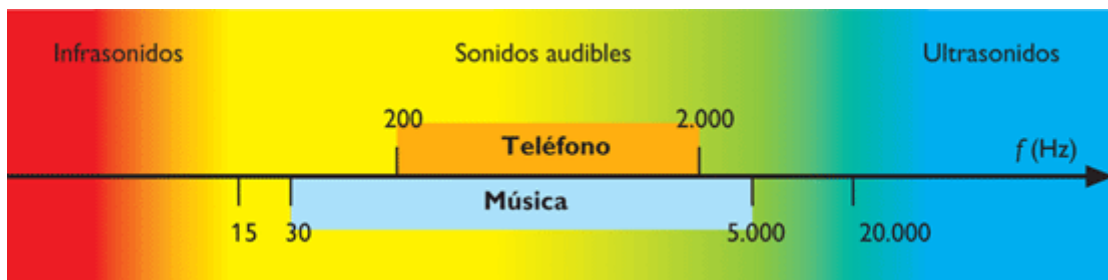


Figura 7. Espectro audible humano.

Fuera del espectro audible encontramos:

- Por debajo los Infrasonidos, ondas acústicas de frecuencias inferiores a 20 Hz.
- Por encima encontramos los Ultrasonidos, ondas acústicas de frecuencias superiores a 20 kHz.

El espectro audible también es divisible en función de los tonos:

1. Tonos graves, frecuencias bajas correspondientes a las 4 primeras octavas, esto es de 16 Hz a los 256 Hz.
2. Tonos medios, frecuencias medias correspondientes a las octavas quinta, sexta y séptima comprendidas entre los 256 Hz a los 2 kHz.
3. Tonos agudos, frecuencias altas correspondientes a las tres últimas octavas comprendidas entre 2 KHz y 16 kHz.

El término de octava se toma de una escala musical. La octava es el intervalo entre dos sonidos que tienen una relación de frecuencias igual a 1:2 y que corresponde a ocho notas de una escala musical diatónica; o trece en una escala cromática. [2]

Por tanto, el valor máximo de cada frecuencia de octava será el doble de la del anterior. Dicho esto podemos ver que para la primera y segunda octava (los tonos más graves de 16 - 64 Hz) son, en ocasiones, difíciles de percibirse. La Quinta, Sexta y Séptima octava (tonos medios, 250 Hz – 2.000 Hz). Contienen el tono fundamental y los primeros armónicos de la mayoría de las fuentes sonoras. La octava (tonos agudos, 2.000 Hz – 4.096 Hz) comprende el margen en que el oído humano tiene mayor sensibilidad. La undécima octava (los tonos más agudos del espectro audible, 16.000 a 20.000 Hz) no todas las personas son capaces de percibirlos, depende de la sensibilidad del oído de cada persona.



2.6. CONVERSION A/D

Una conversión analógica-digital (CAD)(ó ADC) consiste en la transcripción de señales analógicas en señales digitales, con el propósito de facilitar su procesamiento (codificación, compresión, etc.) y hacer la señal resultante (la digital) más inmune al ruido y otras interferencias a las que son más sensibles las señales analógicas.

Una señal analógica es aquella que puede tomar una infinidad de valores (frecuencia y amplitud) dentro de un límite superior e inferior. En cambio, una señal digital es aquella cuyas dimensiones (tiempo y amplitud) no son continuas sino discretas, lo que significa que la señal necesariamente ha de tomar unos determinados valores fijos predeterminados en momentos también discretos. Estos valores fijos se toman del sistema binario, lo que significa que la señal va a quedar convertida en una combinación de ceros y unos, que ya no se parece en nada a la original.

2.7. EL CIRCUITO INTEGRADO

Es el resultado de los diferentes componentes que forman parte del modulo de conversión de la señal analógica que recibiremos a la entrada procedente del micrófono, transformándola en una señal digital y que posteriormente la soltaremos al medio en forma de sonido mediante un altavoz (ver Figura 8).

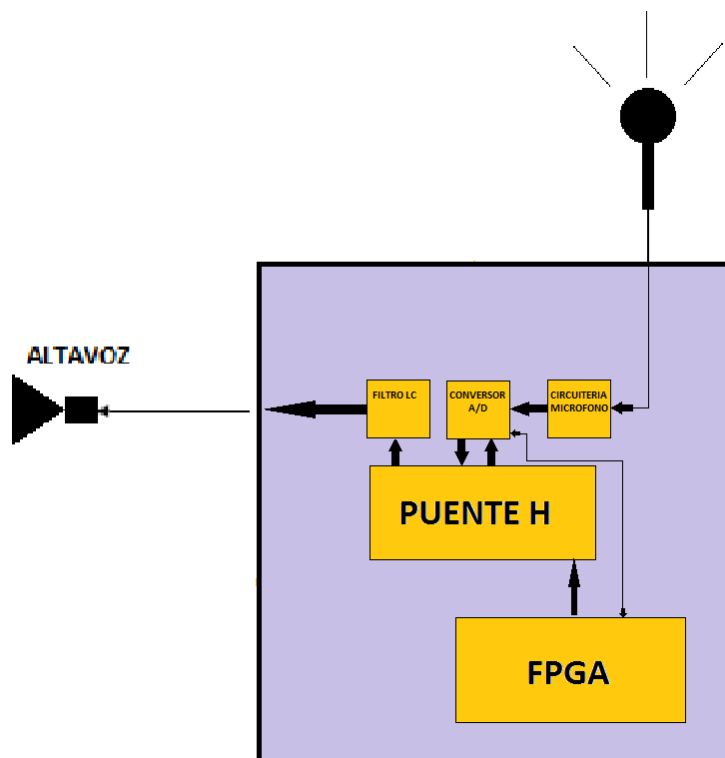


Figura 8. Circuito integrado.

A continuación se describen brevemente cada uno de los distintos elementos que forman parte del circuito integrado desarrollado en el proyecto AMPLIFICADOR CLASE D.



PUENTE INVERSOR

El objetivo principal que tiene el puente inversor es el de generar tensión alterna a partir de tensión continua. Además, interesa poder variar la tensión eficaz y la frecuencia de la tensión alterna generada. Según sea la aplicación se pueden controlar diferentes características de la señal de salida como son la tensión o la frecuencia. Es decir, se pretende que la tensión de salida presente grandes ventajas respecto a una onda cuadrada.

CONTROL A/D

El bloque de control A/D mide las principales magnitudes eléctricas del sistema y genera los pulsos de señal (tanto los producidos por la modulación Sigma-Delta, como los de PWM).

En este bloque se incluye el sistema de medida de las magnitudes eléctricas (micrófono así como su correspondiente acondicionamiento analógico), el convertidor analógico-digital y la FPGA.

FILTRO LCL

Su objetivo es atenuar los armónicos de alta frecuencia y evitar la conexión directa entre el convertidor y la red. La función de este par de elementos reactivos no se basa simplemente en servir de filtro para obtener una perfecta onda senoidal, aunque sea esta una de sus características fundamentales. El condensador tiene como misión corregir el factor de potencia, procedente de elevadas corrientes de magnetización.





CAPÍTULO 3.

HARDWARE DEL SISTEMA



En este capítulo se llevará a cabo una descripción del proceso que ha sido llevado a cabo para el diseño y montaje de todos los componentes necesarios para la creación del prototipo de pruebas del AMPLIFICADOR CLASE D. En este aspecto, se hace referencia a dos partes claramente diferenciadas. Por una parte encontramos toda la circuitería desarrollada con el fin de amplificar nuestra ganancia de entrada, comúnmente denominada etapa de potencia, constituida principalmente por el puente inversor. Por otro lado encontramos la parte dedicada al control o circuitería de la señal, por donde circularan corrientes pequeñas en comparación con la etapa de potencia. Dentro de este hardware destinado al control del sistema encontramos 2 partes bien diferenciadas: un bloque dedicado a la conversión de datos analógicos a digitales, y por otro lado, una unidad de control digital basada en FPGA, que trata y gestiona los datos recibidos para realizar los disparos de nuestros moduladores.

3.1. ESQUEMA FÍSICO DEL MONTAJE DEL PROTOTIPO Y BLOQUE DE CONTROL

La realización de este proyecto comienza con la implementación física de una serie de componentes que formaran nuestra etapa amplificadora, así como el control digital del prototipo de pruebas que llevaremos a cabo.

En la *Figura 9* se muestra un esquema detallado de las conexiones y los bloques físicos en los que esta subdividida la construcción del prototipo de pruebas. En este esquema observamos que el diseño del amplificador esta diferenciado en 3 partes:

- Bloque 1, constituido por el circuito del conversor A/D.
- El Bloque 2, en el que encontramos la FPGA, encargada de generar los disparos de nuestros moduladores y de gestionar el control del ADC.
- El Bloque 3, donde encontramos el Puente en H.
- Por último, el bloque compuesto por la circuitería del micrófono y filtro LC.

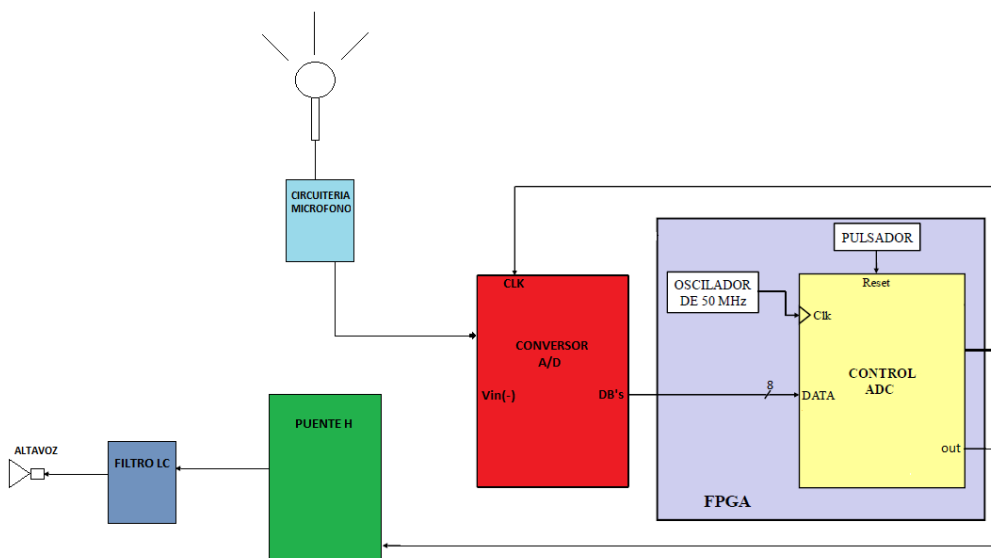


Figura 9. Esquema completo del circuito.



3.2. EL CIRCUITO DE CONVERSIÓN DE DATOS

El bloque de conversión de datos se encarga de digitalizar las señales analógicas que recibe procedentes del micrófono para posteriormente enviar estos datos a la FPGA. El circuito de conversión de datos mostrado en la *Figura 10* pertenece al fabricante INTERSIL. La circuitería ha sido adaptada a las necesidades de nuestro diseño (ver *ANEXOS*).

El dispositivo principal del circuito de conversión es el ADC0804LCD. Las especificaciones principales de este convertidor A/D son las siguientes:

- Tiempo de conversión de 100 Microsegundos.
- Resolución de 8 Bits.
- Tensión de entrada analógica de 0-5V.
- Alimentación de 5V.
- 1.28 MHz de frecuencias de muestreo máxima (125 millones de muestras por segundo).

El convertidor ADC0804LCD se muestra en la *Figura 10*. Este elemento dispone de una entrada analógica (V_{IN}), por la que se recibe la señal analógica a convertir. Este dispositivo es controlado por la FPGA, que se encarga de enviar los flancos de reloj (CLK IN) que sincronizan el envío de cada bit. La cadena de bits correspondiente a cada conversión realizada es enviada hacia la FPGA mediante las salidas digitales del ADC0804LCD (DB_0 , DB_1 , DB_2 , DB_3 , DB_4 , DB_5 , DB_6 , DB_7).

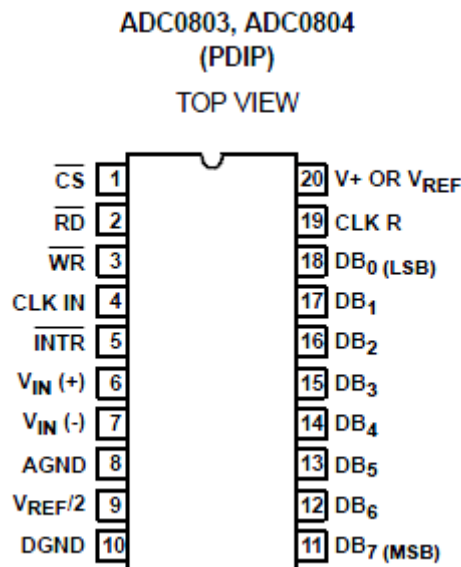


Figura 10. Patillaje del Conversor ADC0804LCD.

El cronograma de funcionamiento del ADC modelo ADC0804LCD se muestra en la *Figura 11*. Tras recibirse un flanco de bajada de CS, la señal de entrada es muestreada y comienza el proceso de conversión.

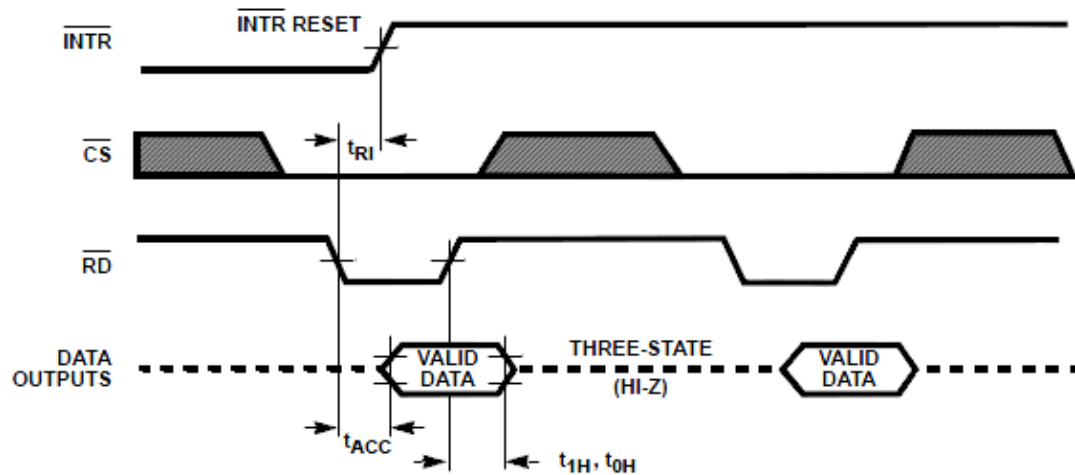


Figura 11. Cronograma de tiempos para el funcionamiento del convertidor ADC0804LCD.

Cada canal de conversión A/D dispone de un buffer de entrada seguido de un filtro antialiasing que elimina aquellas frecuencias que superan la frecuencia crítica, siendo esta la mitad de la frecuencia de muestreo. El objetivo principal de este tipo de filtro es el poder reconstruir correctamente cualquier señal muestreado por el ADC, evitando las distorsiones que se pudieran producir por el efecto aliasing.

En la Figura 12 se representa el esquema eléctrico del convertidor A/D junto con un filtro antialiasing y un buffer de ganancia unidad (Báscula de Schmitt) situado a la salida del ADC, que proporciona una baja impedancia a la salida del mismo. Destacar que nuestro montaje no incluirá el filtro antialiasing.

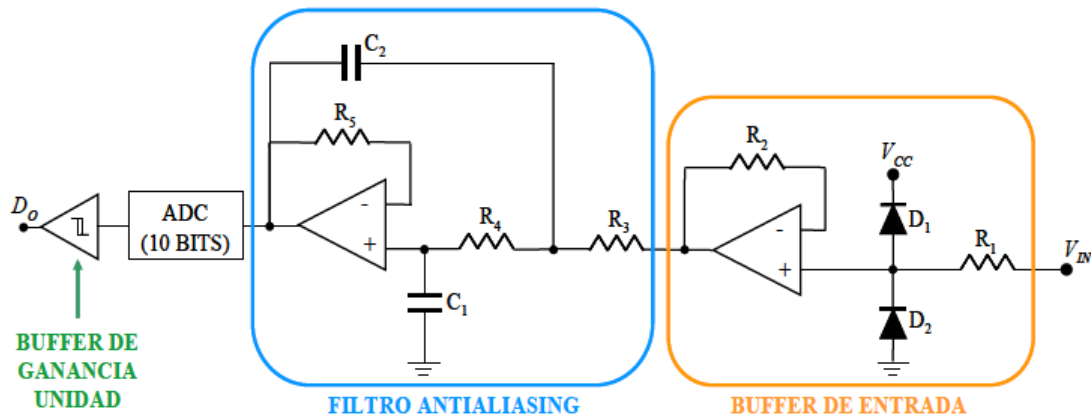


Figura 12. Esque eléctrico del convertidor A/D.

3.3. LA FPGA

La FPGA es el dispositivo encargado de llevar a cabo la gestión del sistema de control del amplificador. En este proyecto se ha empleado como sistema de control una FPG incluida en una tarjeta de evaluación modelo BASYS, del fabricante DIGILENT. Esta tarjeta programable se caracteriza por ser la más baja de la gama DIGILENT e incluye en su esquemático una FPGA modelo Spartan 3E, de XILINX, con un total de 100000 puertas lógicas. A través del interfaz



JTAG, llevaremos a cabo la programación de la misma empleando para ello un puerto USB2 que va incluido en la propia tarjeta. De este modo se facilita el proceso de reprogramación del dispositivo.

Por tanto, para este proyecto, la FPGA tendrá como misión principal el controlar el ADC y generar los disparos de los moduladores PWM y SIGMA-DELTA.

A continuación se llevará a cabo una descripción breve de los principales elementos que se utilizarán en la tarjeta de evaluación de la FPGA para la realización del proyecto AMPLIFICADOR DE CLASE D (Ver *Figura 13*):

- Uno de los pulsadores de la tarjeta se utilizara como Reset común para todo nuestro sistema de control.
- Los pines de entrada-salida digitales están divididas en 3 bloques, y se emplean con la siguiente función:
 - Dos de los 4 subgrupos de pines se emplean para recibir los bits enviados por él A/D.
 - Uno de los otros dos grupos restantes se emplea como salidas de control del CLK empleado para el ADC y salidas de PWM, \overline{PWM} y SIGMA-DELTA.
 - Dado que no tenemos pines suficientes en un grupo usaremos otro bloque para el envío de $\overline{SIGMA - DELTA}$.

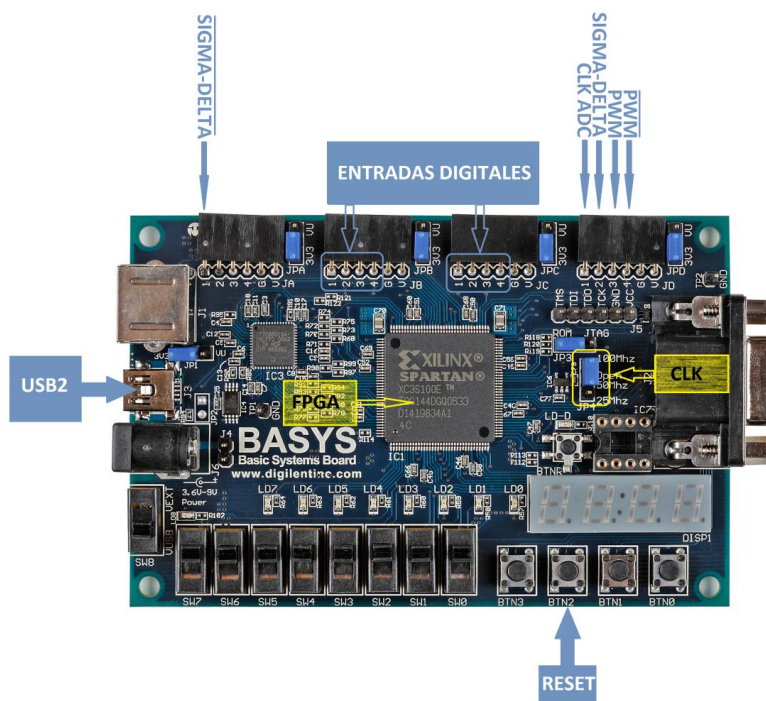


Figura 13. Tarjeta de evaluación FPGA empleada para el control del amplificador y ADC.

3.4. PUENTE INVERSOR

Los inversores son convertidores estáticos de energía que convierten la corriente continua CC en corriente alterna CA, con la posibilidad de alimentar una carga en alterna, regulando la tensión, la frecuencia o bien ambas. Más exactamente, los inversores transfieren potencia desde una fuente de continua a una carga de alterna. En la *Figura 14* siguiente se muestra el Puente Inversor empleado para el desarrollo del proyecto AMPLIFICADOR DE AUDIO DE CLASE D.

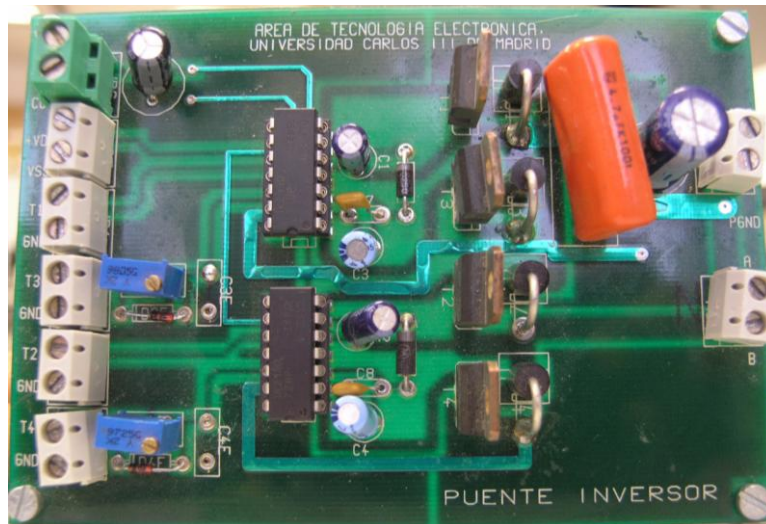


Figura 14. Puente Inversor empleado en el proyecto AMPLIFICADOR DE AUDIO DE CLASE D.

El inversor en puente completo está formado por 4 interruptores de potencia totalmente controlados, típicamente transistores MOSFETs, tal y como se muestra en la *Figura 15*.

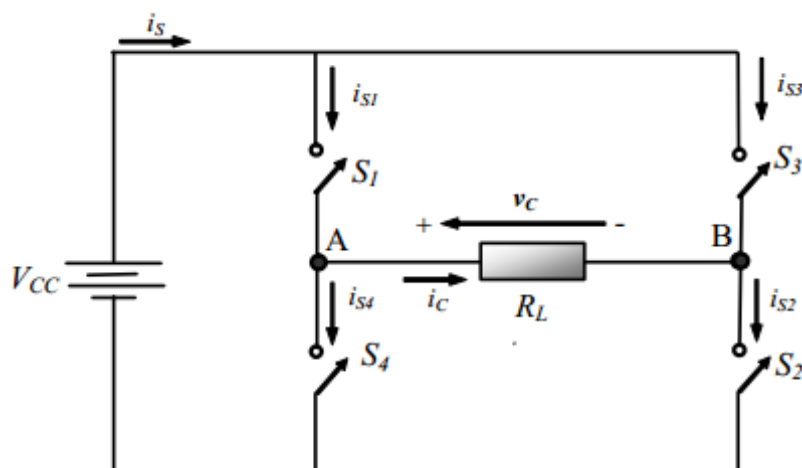


Figura 15. Inversor en puente completo.

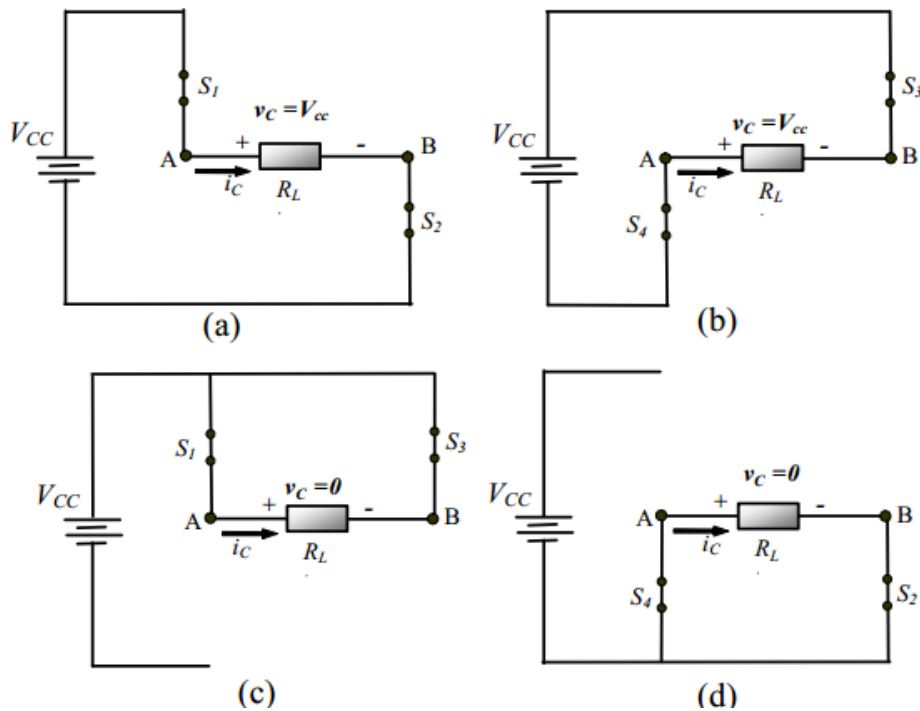


Figura 16. Circuitos equivalentes del inversor en puente completo: (a) S_1 y S_2 cerrados. (b) S_3 y S_4 cerrados. (c) S_1 y S_3 cerrados. (d) S_2 y S_4 cerrados.

La tensión de salida V_C puede ser $+V_{CC}$, $-V_{CC}$, ó 0 , dependiendo del estado de los interruptores. Las Figura 16(a) y 13(d) muestran los circuitos equivalentes para algunas de las posibles combinaciones de los interruptores. La tabla siguiente (Tabla 1) muestra la tensión de salida que se obtiene al cerrar determinadas parejas de interruptores.

Tabla 1. Funcionamiento de interruptores.

Interruptores cerrados	Tensión de salida v_C
S_1 y S_2	$+V_{cc}$
S_3 y S_4	$-V_{cc}$
S_1 y S_3	0
S_2 y S_4	0

Observe que S_1 y S_4 no deberían estar cerrados al mismo tiempo, ni tampoco S_2 y S_3 para evitar un cortocircuito en la fuente de continua. Los interruptores reales no se abren y se cierran instantáneamente, por tanto debe tenerse en cuenta los tiempos de conmutación al diseñar el control de los interruptores. El solapamiento de los tiempos de conducción de los interruptores resultaría en un circuito denominado, en ocasiones, fallo de solapamiento en la fuente de tensión continua. El tiempo permitido para la conmutación se denomina tiempo muerto ("Blanking time"). Para obtener una tensión de salida V_C igual a cero se pueden cerrar al mismo tiempo los interruptores S_1 y S_3 o bien S_2 y S_4 . Otra forma de obtener una tensión cero a la salida sería eliminando las señales de control en los interruptores, es decir, manteniendo abiertos todos los interruptores.



3.4.1. EL INVERSOR CON MODULACIÓN POR ONDA CUADRADA

La técnica de modulación o el esquema de conmutación más sencillo del inversor en puente completo es el que genera una tensión de salida en forma de onda cuadrada. En éste caso los interruptores conectan la carga a $+V_{CC}$ cuando S1 y S2 están cerrados (estando S3 y S4 abiertos) y a $-V_{CC}$ cuando S3 y S4 están cerrados (estando S1 y S2 abiertos). La conmutación periódica de la tensión de la carga entre $+V_{CC}$ y $-V_{CC}$ genera en la carga una tensión con forma de onda cuadrada.

La forma de onda de la corriente en la carga depende de los componentes de la carga. En una carga resistiva, la forma de onda de la corriente se corresponde con la forma de la tensión de salida. Una carga inductiva tendrá una corriente más senoidal que la tensión, a causa de las propiedades de filtrado de las inductancias.

La *Figura 17* muestra la forma de onda de la tensión de salida V_C para un inversor en puente de onda completa con modulación por onda cuadrada. Éste tipo de modulación no permite el control de la amplitud ni del valor eficaz de la tensión de salida, la cual solo podremos variar si la tensión de entrada V_{CC} fuese ajustable. El espectro de Fourier de una onda cuadrada es conocido y se muestra en la *Figura 18*. Como se puede observar, presenta todos los armónicos impares, con una disminución de amplitud proporcional a la frecuencia de los mismos.

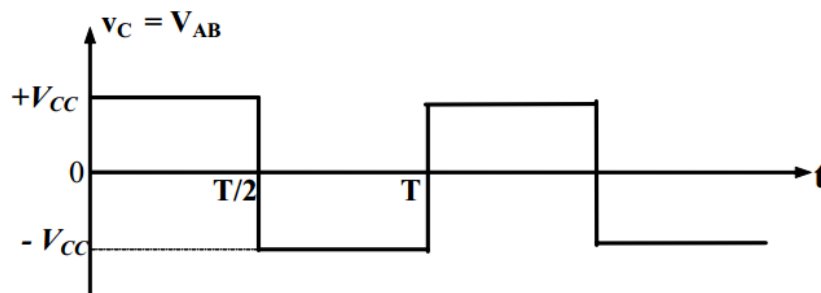


Figura 17. Formas de onda de tensión en la carga RL del inversor en puente controlado por onda cuadrada.

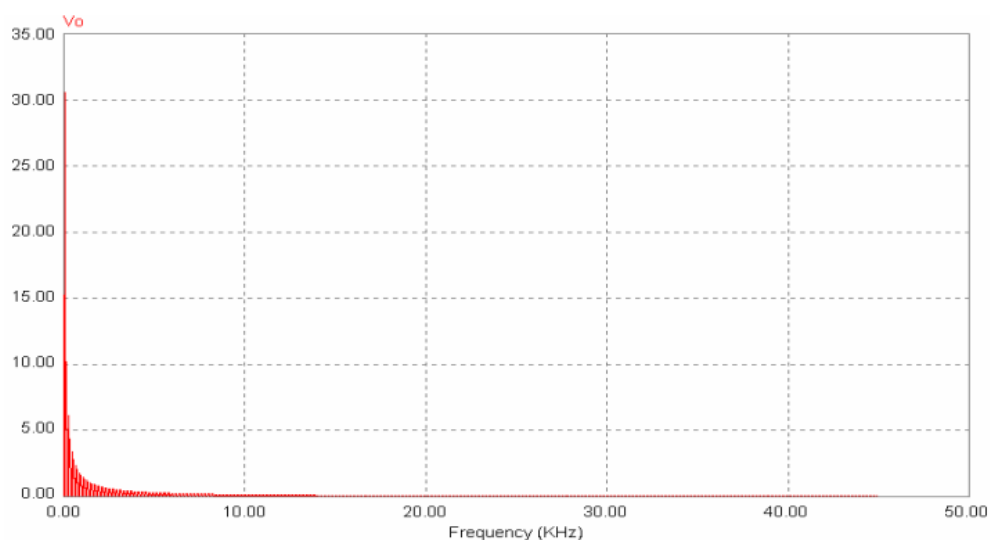


Figura 18. Espectro de Fourier de la tensión de salida de un inversor por onda cuadrada.



3.5. MONTAJE DEL PROTOTIPO DE PRUEBAS

Tras haber definido los principales componentes del prototipo de pruebas diseñado para el proyecto AMPLIFICADOR DE AUDIO DE CLASE D, el siguiente paso a realizar es el ensamblaje de todos ellos en un único bloque.

Para llevar a cabo este montaje se han seguido los siguientes pasos:

1. Se ha unido la FPGA al conversor analógico-digital mediante los pines I/O (ver *Figura 19*). Estos pines son los comprendidos entre el pin 11 y el 18, que contienen la información digital procesada por el ADC.
2. Se le añade un pequeño circuito compuesto por un MOSFET SP0610L y una resistencia de $100\ \Omega$ entre la salida de reloj proveniente de la FPGA y la entrada al conversor analógico-digital con el fin de aumentar la señal de reloj original debido a su bajo valor (ver *Figura 20*).
3. Se han conectado las salidas pertinentes de la FPGA correspondientes a nuestras salidas PWM y SIGMA-DELTA (extraídas por los pines I/O de la FPGA) al puente en H (ver *Figura 21*).
4. Se conectan el resto de pines del conversor A/D. Esto incluye un circuito previo formado por dos resistencias de $8.2K\Omega$ a la entrada del pin 9 (V_{ref}) con el fin de reducir el voltaje a la mitad ($V_{ref}/2$). Ver *Figura 22*.
5. Los pines 3 y 5 del conversor deben cortocircuitarse nada mas alimentar el circuito para activar el conversor analógico-digital.
6. Se lleva a cabo la alimentación y conexión del Puente Inversor (conexiones explicadas *más adelante*). Además se acopla el filtro LCL de sexto orden junto con el altavoz a su salida. Ver *Figura 23*.
7. Se realiza el montaje del bloque del micrófono, esto incluye la circuitería y el montaje del micrófono en ella. Ver *Figura 24*.
8. Una vez completado todos los pasos anteriores se ha llevado a cabo la alimentación del circuito, para ello se han seguido los siguientes pasos:
 - Alimentamos el ADC con un generador de corriente con una tensión de +5V (pin 20).
 - Alimentamos el puente en H con una tensión variable procedente del generador de corriente según se detalla en el capítulo 4.2. *VALIDACIÓN EXPERIMENTAL DEL INVERSOR*
 - Alimentamos el bloque del micrófono con el generador de corrientes, esto es, el pin 4 del componente TL081 con un valor de -5V y el pin 7 con +5V (ver *Figura 25*).

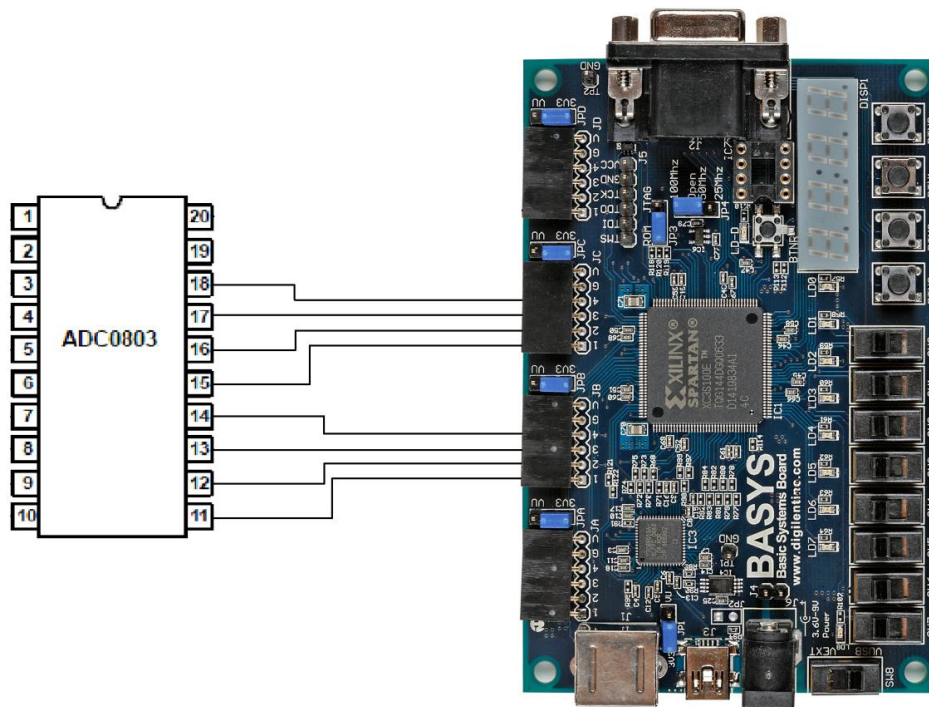


Figura 19. Conexión FPGA y convertor A/D.

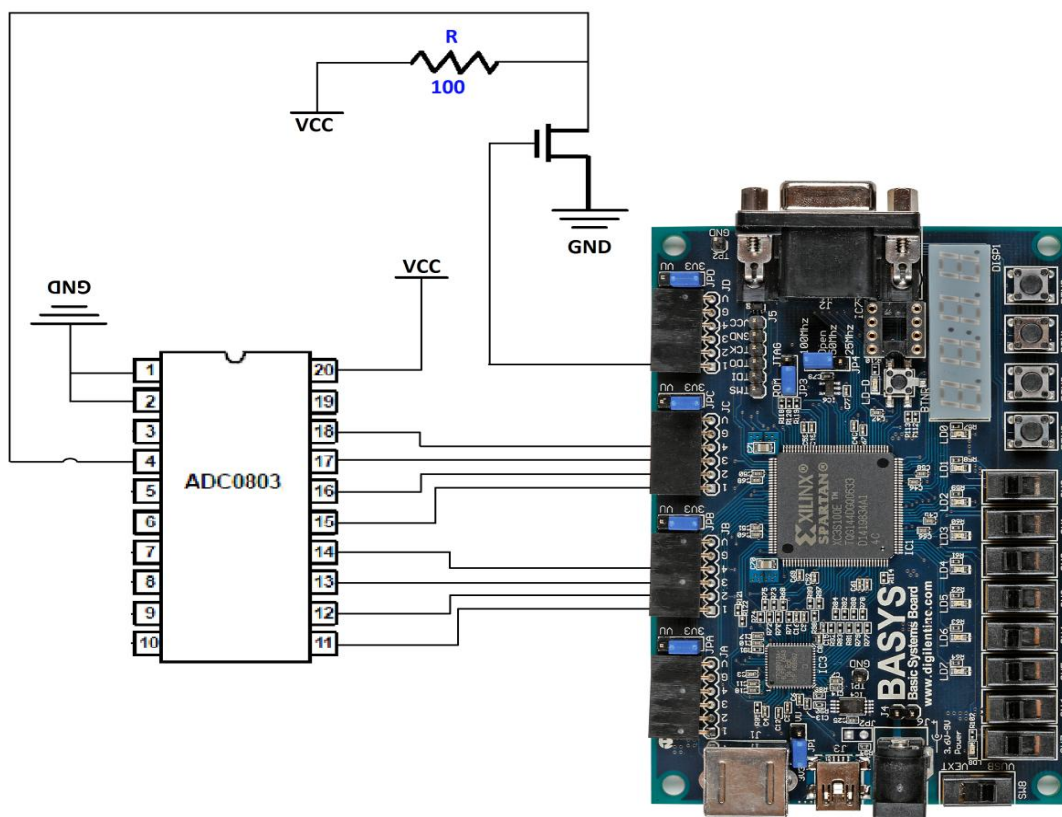


Figura 20. Conexión FPGA-ADC + circuito amplificador.

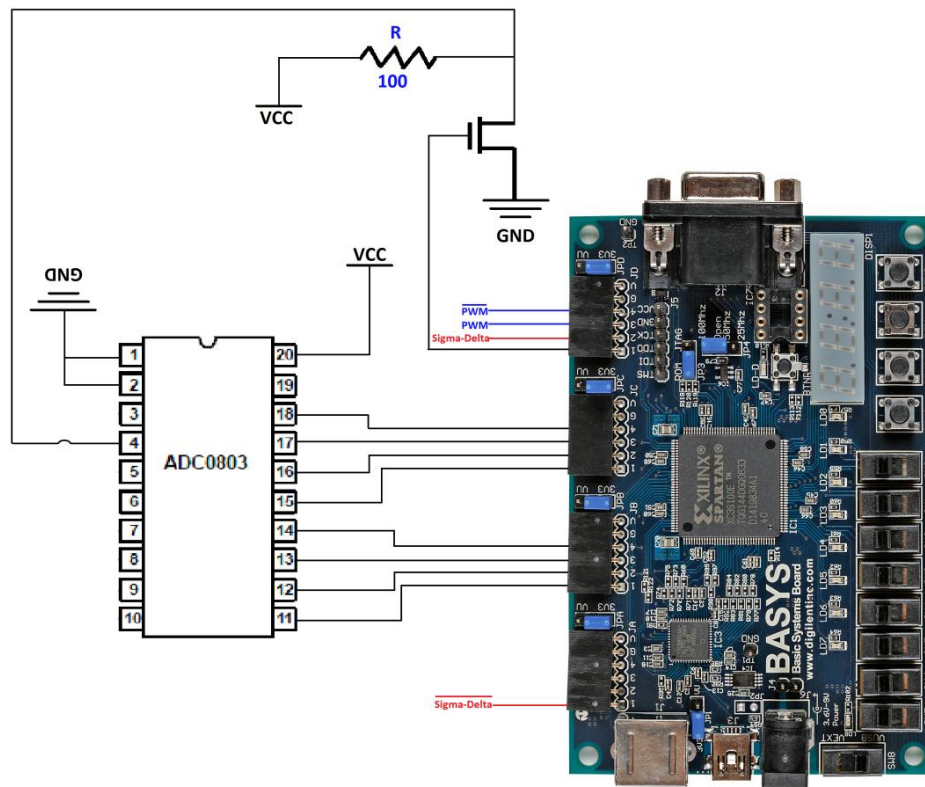


Figura 21. Conexión FPGA-ADC y salidas de los moduladores PWM y Sigma-Delta.

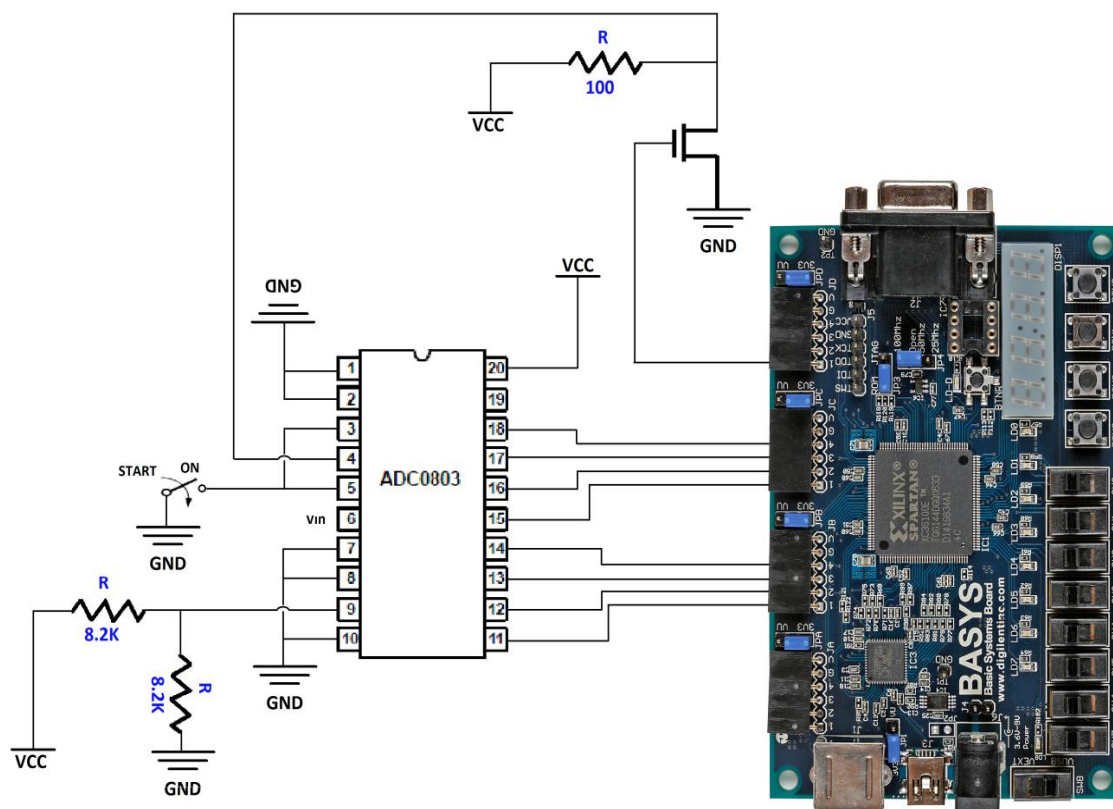


Figura 22. Conexión FPGA y conversor A/D.

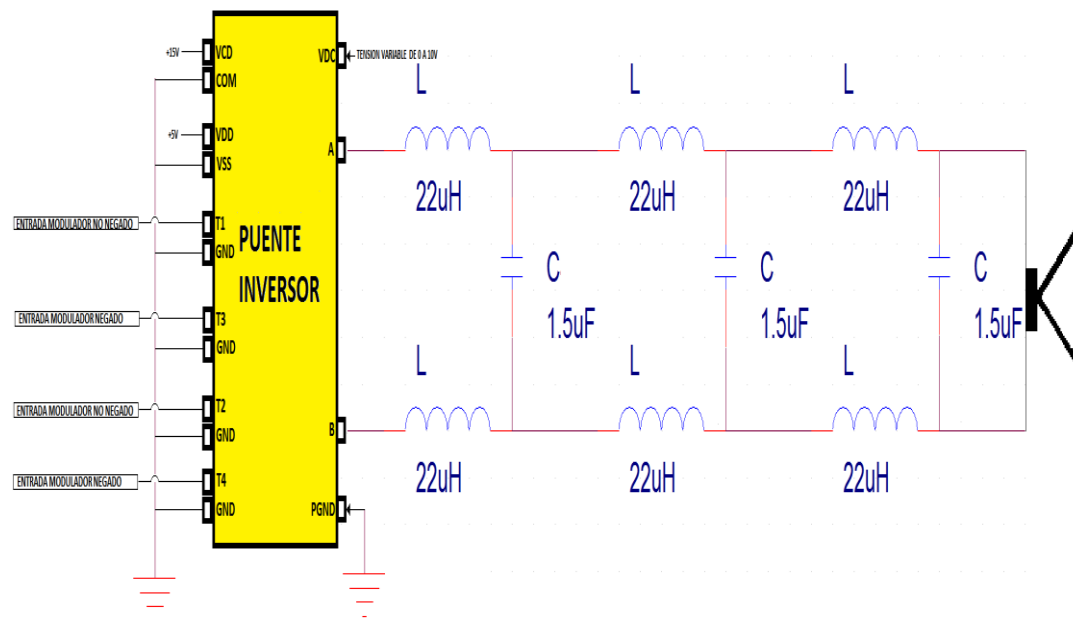


Figura 23. Conexión Puente Inversor + Filtro LCL + Altavoz.

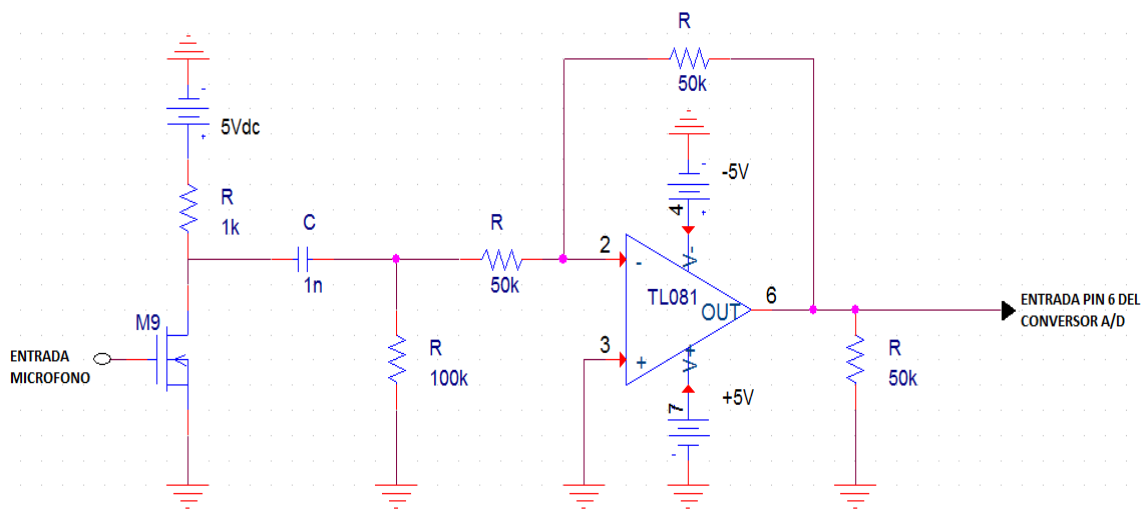


Figura 24. Circuitería bloque del micrófono.

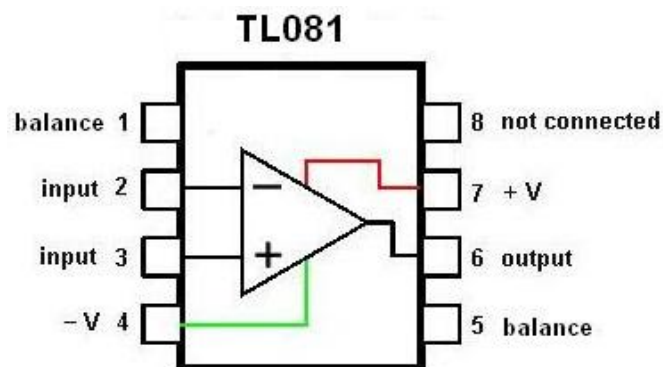


Figura 25. TL081.





CAPÍTULO 4.

CONTROL DIGITAL DEL CONVERSADOR A/D Y PUENTE INVERSOR



4.1. EL CONTROL DEL CONVERTIDOR A/D

Nuestro ADC tiene como función la conversión de los valores analógicos recogidos a su entrada procedentes del micrófono y convertirlos en valores digitales que enviara mediante sus 10 salidas digitales (DB0, DB1,..., DB10) a las entradas de la FPGA.

El modulo del ADC es imprescindible y necesario incluirlo junto al bloque formado por la FPGA, ya que esta necesita de la digitalización de las magnitudes capturadas por el micrófono, y así poder llevar a cabo una gestión de datos y generar disparos correctamente.

El convertidor A/D utilizado en este proyecto es el modelo ADC0804LCD descrito anteriormente, a continuación se muestra el cronograma de tiempos de funcionamiento que se muestra en la *Figura 26*.

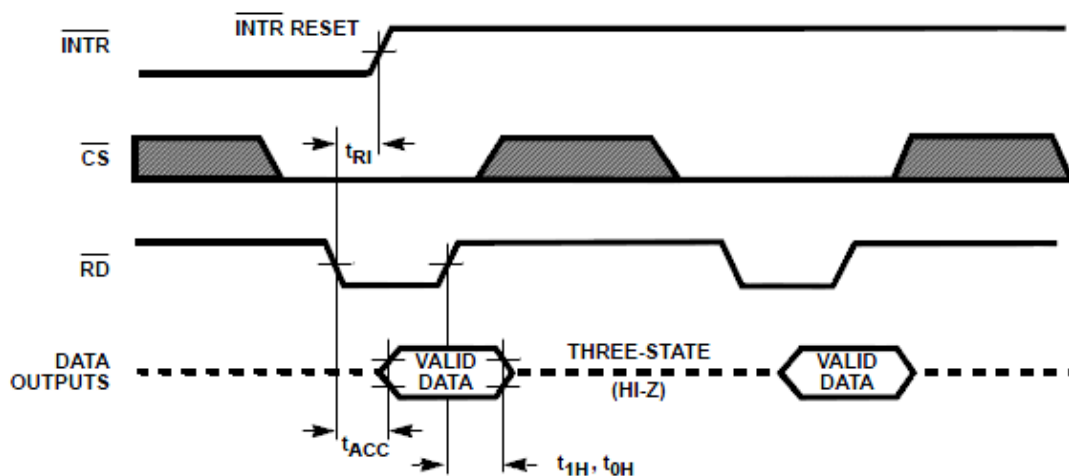


Figura 26. Cronograma de tiempos para el funcionamiento del convertidor ADC0804LCD.

El funcionamiento del ADC consiste en que con cada flanco de reloj que recibe se muestrea un dato analógico y se lleva a cabo el proceso de conversión de dicho dato. Cada dato es convertido y enviado en serie en una cadena de bits por la salida digital del ADC hacia la FPGA. El envío de bits va sincronizado con la señal de reloj externa (CLK) generada por la FPGA. Dicha señal es controlada de manera externa, mediante un reloj externo.

La velocidad del convertor A/D viene determinada por la señal de reloj utilizada para la captura de cada dato. Para la elaboración de este proyecto se ha utilizado el reloj interno de la FPGA, la cual nos da una frecuencia de muestreo igual a 50 MHz.

4.1.2. VALIDACIÓN EXPERIMENTAL DEL BLOQUE DE CONTROL PARA EL CONVERTIDOR A/D

La validación experimental del ADC tiene como objetivos principales:

- Comprobar que los resultados obtenidos en la simulación son los esperados.
- Y por otro lado, nos permite validar el diseño del bloque del ADC.

En primer lugar llevamos a cabo la simulación del circuito. Esta consiste en, mediante un generador de ondas que conectaremos a la entrada del ADC (pin $V_{in(-)}$), generar una señal triangular. Ver *Figura 27*.



Proyecto Fin de Carrera

Capítulo 4. Control digital del convertor A/D y Puente inversor.

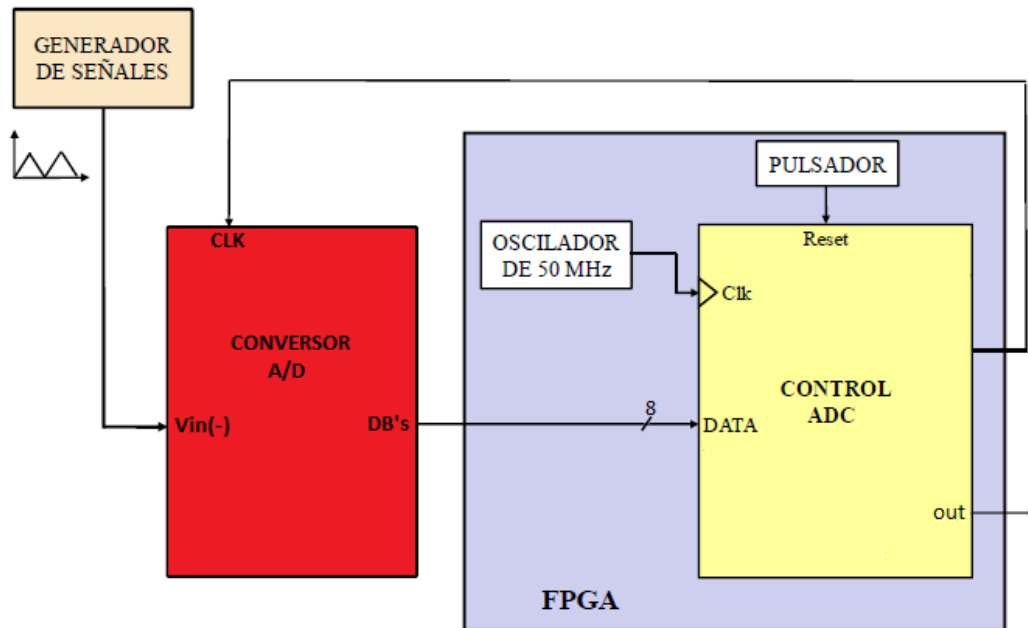


Figura 27. Montaje del control del convertor A/D.

Se ha empleado una señal triangular de frecuencia igual a 1 KHz y una amplitud de 2.2Vpp. A esta señal se le ha añadido un offset de 2.2 VDC, necesario para que las medidas tomadas sean positivas, ya que el ADC es unipolar y no puede convertir valores inferiores a 0 V. A la salida observamos diferentes valores en los pines a medida que variamos la frecuencia de la señal de entrada generada. Estos cambios podemos observarlos en las figuras de a continuación.

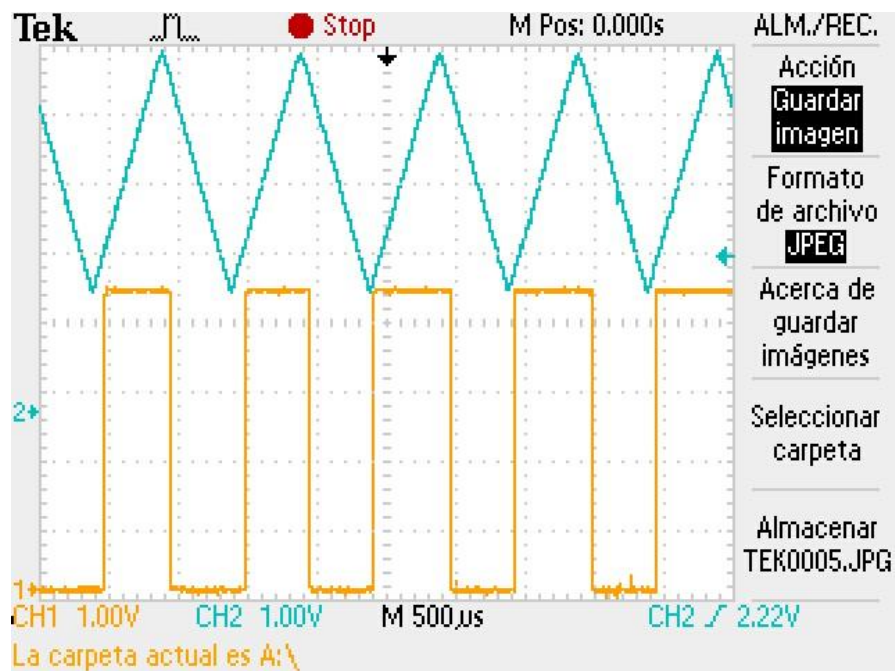


Figura 28. Visualización de la salida del Bit 0 del ADC.

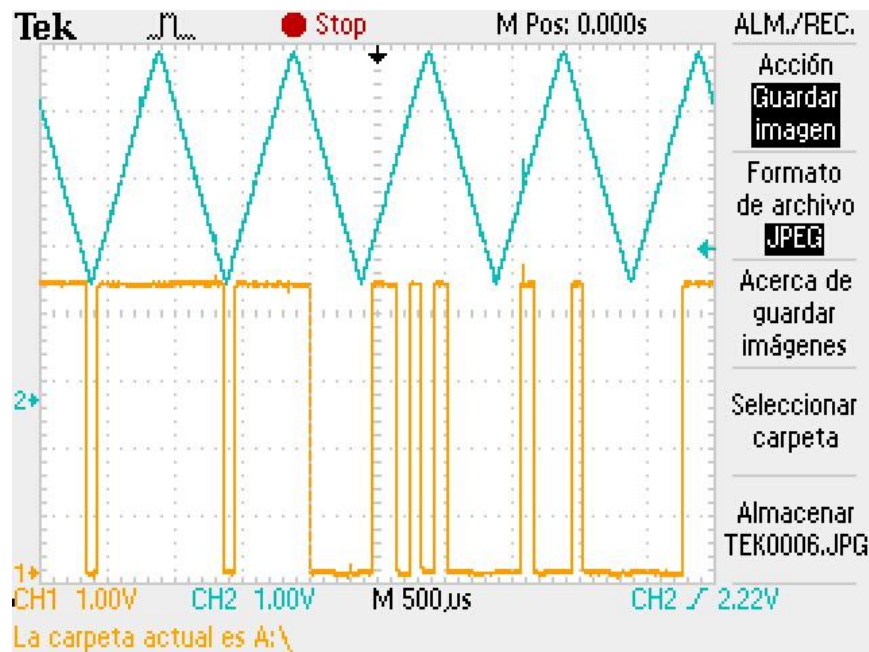


Figura 29. Visualización de la salida del Bit 4 del ADC.

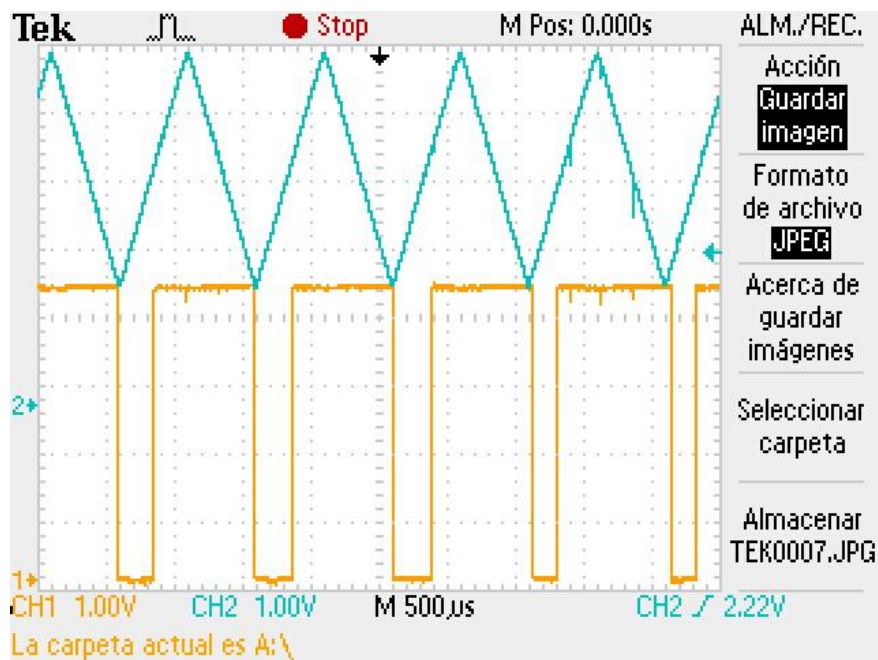


Figura 30. Visualización de la salida del Bit 7 del ADC.



4.2. VALIDACIÓN EXPERIMENTAL DEL INVERSOR

Tras haber validado experimentalmente el funcionamiento del convertidor A/D toca comprobar si el puente inversor funciona correctamente. En este caso los objetivos que debemos alcanzar son los siguientes:

- Obtener una señal de entrada al inversor adecuada (señal procedente del convertidor A/D) con la menor distorsión posible.
- Conseguir una señal de salida con una ganancia mucho mayor a la recibida a la entrada.

Para llevar a cabo la comprobación del inversor se ha utilizado el esquema disponible en la **¡Error! No se encuentra el origen de la referencia..** Este está constituido por los siguientes elementos:

- Una inductancia de acoplamiento con la red, que permite que el inversor se comporte como una fuente de corriente. Además se ha acoplado otra inductancia en serie con un condensador formando un filtro LCL con el fin de reducir los armónicos de corriente introducidos a la red.
- Un altavoz que se comporta como un elemento resistivo.

Los pasos seguidos para la comprobación del inversor son los siguientes:

1. El primer paso es la alimentación adecuada del inversor. Empezaremos por alimentar VCD, VDD, VDC, PGND :
 - VCD, a una tensión constante de 15V proporcionada por la fuente de alimentación (Ver *Figura 32*).
 - VDD, lo alimentaremos con una tensión igual a 5V fijos proporcionados por la fuente de alimentación.
 - VDC, conectado a un valor de tensión variable entre 0 y 10V aproximadamente, valores superiores podrían dañar el puente. Esta tensión introducida será la que nos proporcione una mayor ganancia de salida y por consiguiente un mayor volumen en el altavoz.
 - PGND, conectada a tierra.
2. En segundo lugar necesitaremos ajustar bien VDC para conseguir eliminar el efecto offset provocado por el convertidor A/D ya que solo es capaz de convertir tensiones comprendidas entre 0 y 2.5 V, consiguiendo así centrar las señales sobre el origen.

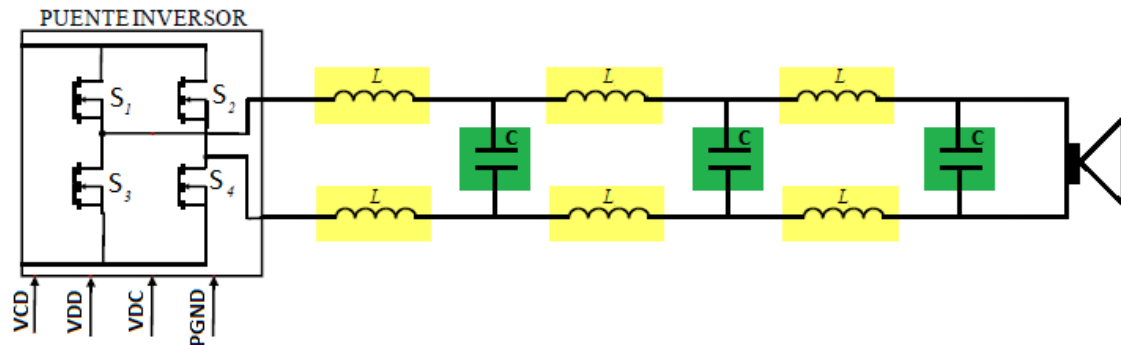


Figura 31. Esquema puente inversor y filtro LC de sexto orden.



Figura 32. Generador de Tensiones.

A continuación mostraremos los resultados obtenidos para la configuración anteriormente descrita. Las figuras que se muestran reflejan la salida de la señal tras el filtro LCL de sexto orden para una señal senoidal de frecuencia igual 1,1KHz una amplitud de 2.2 Vpp y un offset de 2.2 VDC.

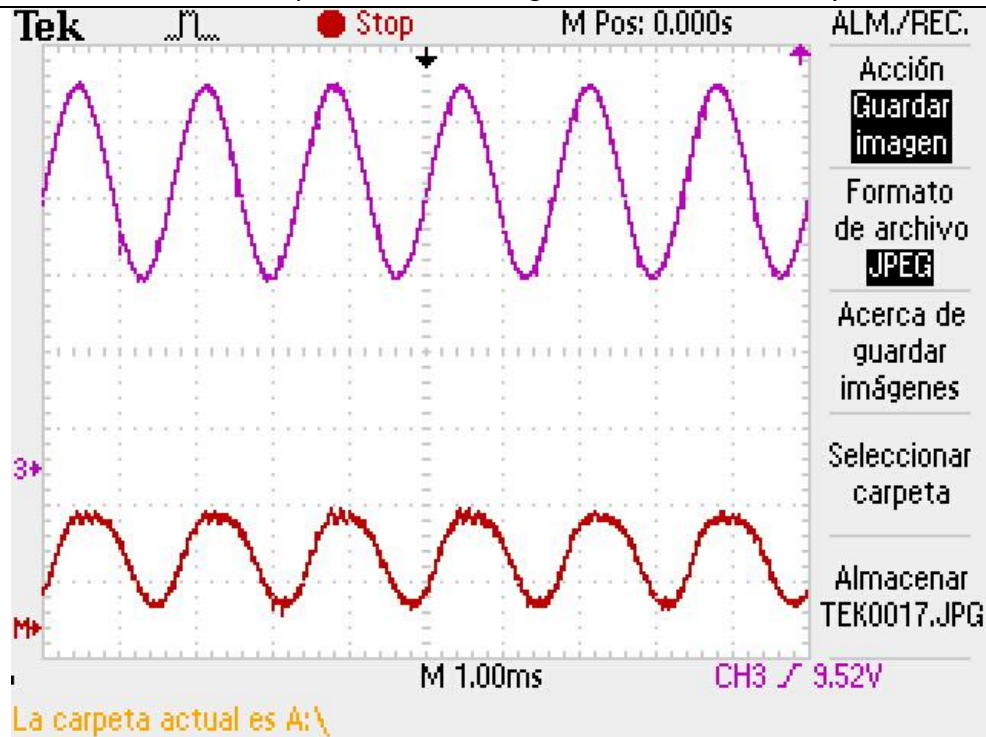


Figura 33. Salida en puente inversor para una entrada de 2.9V.

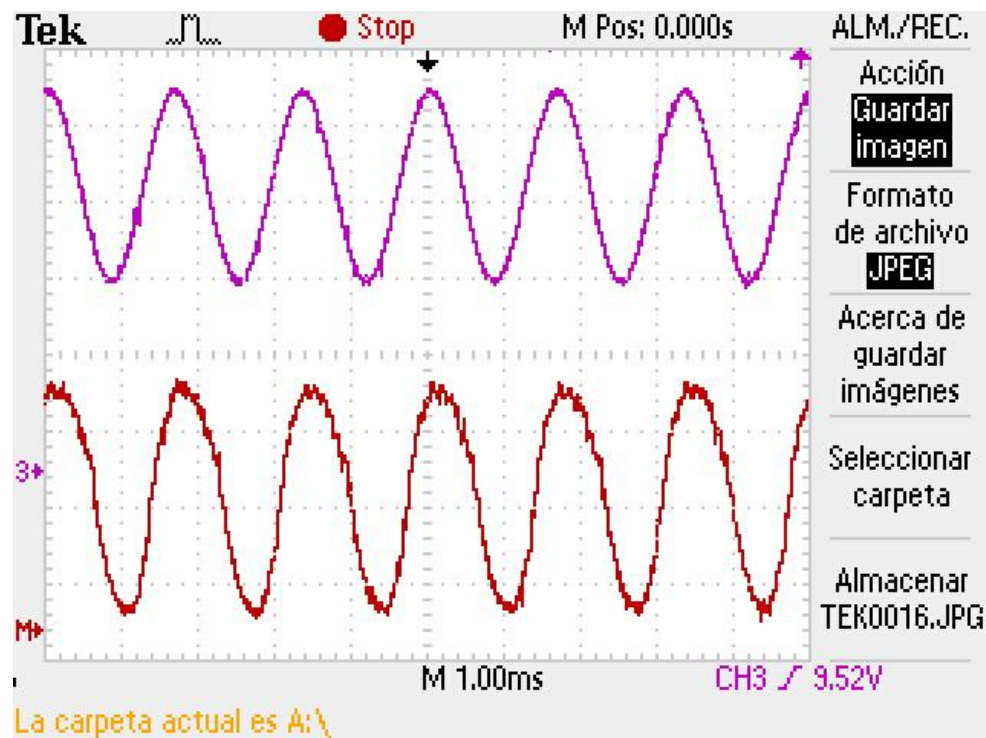


Figura 34. Salida en puente inversor para una entrada de 6.5V



Proyecto Fin de Carrera

Capítulo 4. Control digital del conversor A/D y Puente inversor.



CAPÍTULO 5.

AMPLIFICACIÓN EN

CLASE D.



5.1. AMPLIFICACIÓN EN CLASE D

Los amplificadores Clase D presentan como ventaja que los transistores de la etapa de salida están en conducción o en corte. Las topologías que trabajan con un estado de conducción parcial, como es el caso de las etapas Clase A o AB, hace que los elementos de conmutación actúen como resistencias produciendo calor o consumiendo energía. Es por ello que los amplificadores Clase D son sustancialmente más eficientes que los amplificadores lineales que no conmutan. La eficiencia más alta y la menor disipación de calor permiten el funcionamiento del amplificador Clase D empleando fuentes de alimentación más pequeñas y más compactas.

Por otro lado encontramos como principal desventaja que los amplificadores Clase D, son las que están relacionadas con el proceso de modulación, con el aislamiento y con la realimentación. Muchos de los amplificadores existentes incorporan una etapa de salida basada en un puente H, y utilizan una señal modulada que actúa sobre cuatro puertas que incorporan transistores unipolares, proporcionando dos estados en el puente H. Estos dos estados de conmutación dan lugar a una tensión diferencial a través de la salida provocando que la corriente fluya por la carga. En el caso de la modulación PWM, los dos estados del amplificador Clase D, son comparados con la señal de audio de la entrada, y modulados PWM a través de una señal triangular. La señal que se obtiene tiene la misma frecuencia que la señal triangular. Dicha señal PWM es tratada mediante un circuito lógico, el cual genera cuatro señales que actúan sobre el puente de transistores en H.

Algunos amplificadores Clase D incorporan realimentación para minimizar la distorsión. En este proceso se necesita de filtrado, atenuación y suma de la señal de salida con la señal de entrada. El proceso integra por lo tanto, un filtro paso bajo (R, C), seguido por un amplificador diferencial de atenuación, además de un amplificador sumador que combina las señales de salida y de entrada. Para aplicaciones de potencia elevada, la precisión de las resistencias incluidas en la realimentación puede ser crítica, ya que las tensiones en modo común pueden alcanzar valores de continua del orden de los 70 voltios [3]. Tolerancias mayores que el 1% en el amplificador diferencial y en los componentes del filtro paso bajo pueden afectar a las tensiones del amplificador diferencial. Aplicaciones que requieran gran potencia, exigirán la utilización de resistencias de potencia elevadas, que puedan disipar la energía de conmutación. Es por ello que muchos de los amplificadores Clase D incorporan pares de filtros (L, C) diferenciales paso bajo que filtran la tensión diferencial que aparece en la salida, lo que implica la necesidad de bobinas que puedan disipar la energía de conmutación incluso cuando no exista señal de audio en la entrada.

Otro problema común al que se enfrenta este tipo de amplificación cuando se apoya en modulación PWM es la presencia de una nueva fuente de distorsión como la generación de señales triangulares. Dichas señales suelen ser generadas con circuitos osciladores (R, C) basados en amplificadores operacionales, como sucederá en nuestro caso.

Un punto crítico del funcionamiento de esta clase de amplificación está relacionado con la señal portadora, tanto en su generación como en su utilización. Los amplificadores Clase



D basados en Modulación de Anchura de Pulso utilizan señales triangulares o rampa actuando como señal portadora. La forma habitual de generación de dichas señales es a partir de la integración de una señal cuadrada generada por un oscilador de frecuencia elevada. Una forma alternativa es la generación de dicha señal portadora a partir de los pulsos de señal PWM que van a ser posteriormente amplificados [4]. Así, las señales de salida diferenciales del comparador integrado en la etapa de amplificación, se llevan a un interruptor de corriente. Dicho interruptor genera una señal que se suma a la señal de audio, que posteriormente es integrada. De esta forma se transforma la señal cuadrada en una señal triangular.

Por su parte, la utilización de la señal portadora tiene problemas asociados. Resulta complicado conseguir eliminar la presencia de la señal portadora de forma completa. Para evitarlo se colocan filtros pasivos paso bajo con una característica frecuencial abrupta. La señal portadora y sus armónicos pueden ser eliminados a partir de un circuito resonante que capture estas señales no deseadas en el espectro final [5]. El sistema incorpora bobinas y condensadores que cancelan la señal portadora y sus armónicos antes de proceder a la realimentación.

La etapa de potencia correspondiente a un amplificador Clase D genérico en configuración puente sería la mostrada en la *Figura 35*. Esta etapa está controlada por las señales que llegan a los elementos de conmutación (transistores M1, M2, M3 y M4). Las señales de activación vendrán condicionadas por el tipo de modulación y el número de niveles elegido.

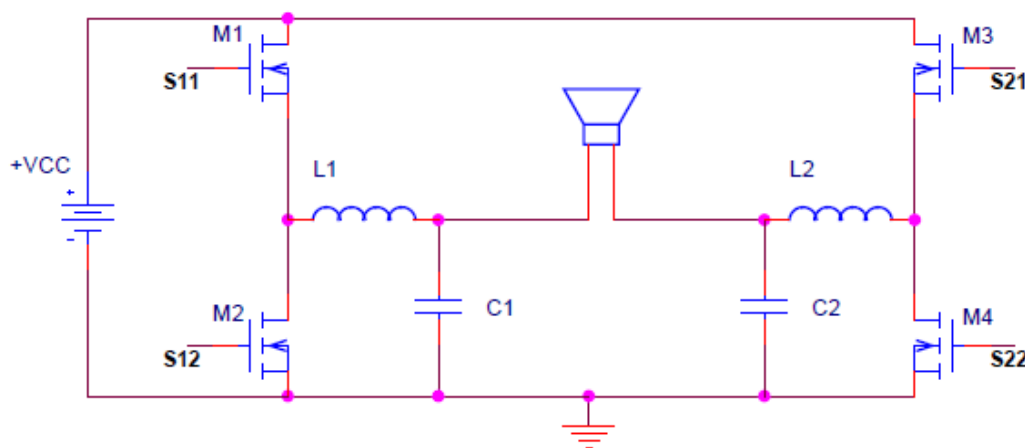


Figura 35. Etapa de potencia basada en configuración puente, preparada para funcionar como amplificación Clase D.

Entre los problemas que surgen al utilizar los esquemas presentados previamente se encuentran la distorsión de cruce por cero y la presencia de ruido debido a la coincidencia en el tiempo de flancos de conmutación de las dos señales de modulación PWM diferenciales. Señales de entrada próximas a cero generan este tipo de transiciones.

Se trata por tanto de linealizar el comportamiento de los amplificadores Clase D, a base de actuar sobre las interferencias que se producen entre los medios puentes y sus correspondientes circuitos de control. Se puede conseguir mediante un circuito de control que



active los actuadores, y que consiga que los flancos de los dos transistores incorporados en un medio puente no se solapen. Esto supone la desaparición de los picos de corriente, con la consecuente reducción de consumo [6].

Otra forma de resolver el problema, es evitar que se produzcan coincidencias de flancos para señales de entrada de valor reducido. La base de funcionamiento radica en retrasar los pulsos del modulador correspondiente a la señal de entrada no invertida, respecto a los pulsos correspondientes a la señal de entrada invertida [7]. Este método consigue trasladar el problema de la coincidencia de flancos de señales de entrada con valores próximos a cero, a valores más elevados. Esto redundará en un mejor comportamiento de la distorsión de cruce por cero del sistema de amplificación.

En cuanto a la frecuencia de conmutación de un amplificador Clase D, ésta varía en general inversamente con la potencia de salida de la etapa. Cuando la señal de salida se aproxima a los valores de alimentación, la frecuencia de conmutación puede aproximarse a valores cercanos al rango audible.

La frecuencia de conmutación de un amplificador Clase D basada en modulación PWM analógica, que incluye un comparador y un integrador, viene fijada por la siguiente expresión [8]:

$$2\pi f_{PWM} = \frac{(V_s - V_i)(V_s + V_i)}{2CRV_sV_h}$$

Siendo V_i , la tensión de entrada, C y R los valores de los componentes del integrador, V_s la tensión de alimentación y V_h la tensión de histéresis del comparador. Todos los términos son constantes a excepción de la tensión de entrada. Cuando la tensión de entrada V_i , se aproxima a los valores de alimentación, la frecuencia de conmutación desciende rápidamente. Una forma de acabar con este problema se basa en la utilización de un nivel de histéresis en el comparador:

$$V_h' = K^2(V_s - V_i)(V_s + V_i)$$

Consiguiendo que la frecuencia de conmutación tenga un valor constante e independiente del valor de tensión de entrada V_i .

$$2\pi f_{PWM} = \frac{1}{2CRV_sK^2}$$



5.2. AMPLIFICADORES CLASE D

A continuación se detallara el funcionamiento de los tres tipos de amplificadores Clase D que existen, estos son los de tipo Analógicos, Analógicos-Digitales y Digitales.

Amplificadores Clase D Analógicos

Los amplificadores Clase D analógicos (ver *Figura 36.*) se caracterizan por transformar una señal analógica en una señal rectangular con una frecuencia elevada. Para el caso de amplificadores de audio, la señal de entrada es una señal de baja frecuencia, entre 0 y 20 KHZ. Dichos amplificadores incorporan interruptores que conmutan entre los estados de saturación y corte a frecuencia elevada.

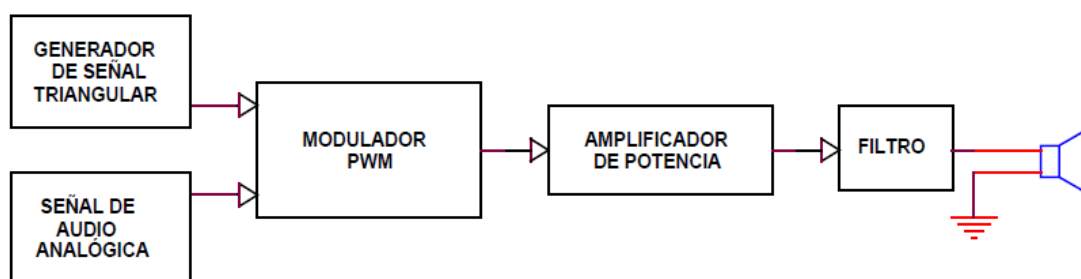


Figura 36. Amplificador Clase D Analógico.

Un amplificador de audio convencional se limita a incrementar la tensión o la intensidad de la señal de audio que aparece en la entrada de la etapa, sin cambiar sustancialmente las formas de onda de las señales. Los amplificadores Clase D analógicos incorporan de forma previa a la amplificación, la codificación de la información de la señal de audio. Mediante diferentes procesos de modulación (modulación de anchura de pulso o Sigma-Delta), se obtienen formas de onda rectangulares, que convenientemente tratadas actúan sobre transistores unipolares que llevan de forma alternativa la señal de salida de dos niveles de alimentación, generalmente de signo opuesto.

Los amplificadores Clase D analógicos modulan el ciclo de trabajo o la anchura de los pulsos de la señal rectangular de frecuencia elevada. Cuando el área que resulta de multiplicar el tiempo que esta la señal de salida en el nivel positivo de alimentación, por dicho valor de alimentación, coincide con el cálculo respectivo con el otro nivel de alimentación el valor medio de la señal a la salida en ese ciclo es nulo. La situación se corresponde con un ciclo de trabajo del 50 %. Variando el ciclo de trabajo, la media de la señal en la salida se hace positiva o negativa. La señal analógica que se necesita entregar al altavoz, se obtiene filtrando paso bajo, de tal forma que se elimina la señal portadora. En la salida aparece reconstruida la señal de entrada, pero con un nivel de tensión elevado.

Dado que es muy típico el empleo de un generador de señales triangulares para los amplificadores de clase D, toma gran importancia la fase del filtrado ya que estas señales propician la aparición de armónicos a frecuencias elevadas.



Amplificadores Clase D Analógicos/Digitales

Los amplificadores que analizamos en este apartado tienen como señal de entrada una señal analógica pero incorporan etapas digitales o tratamiento digital de la señal. Por ejemplo, se ha diseñado una etapa que incorpora un convertidor analógico/digital en la entrada de la etapa [9].

Amplificadores Clase D Digitales

Un amplificador de Clase D digital es aquel que utiliza como señal de entrada a la etapa una señal de audio digital. Este se caracteriza por funcionar digitalmente desde la señal de entrada hasta el filtrado analógico que lleva el altavoz. Se estudio la posibilidad de incluir dos etapas de salida PWM y Sigma-Delta digitales para intentar mejorar el rango dinámico y la linealidad. Una emplearía los bits más significativos, mientras que la otra funcionaria con la información de bits de entrada menos significativos. Ambos resultados se sumarian posteriormente antes de la etapa de filtrado analógico.

Para la realización del proyecto se ha utilizado un amplificador de Clase D Analógico/Digital, ya que nuestra señal de entrada (la recibida por el micrófono) que es analógica necesita de un convertidor A/D para poder ser procesada.





CAPÍTULO 6.

AMPLIFICACIÓN EN AUDIO BASADA EN MODULACIÓN PWM.



6.1. AMPLIFICACIÓN PWM

Cuando nos referimos a amplificación basada en modulación en PWM podemos distinguir entre la amplificación PWM analógica y digital. Históricamente ha sido la amplificación PWM analógica la que se ha utilizado para los procesos de reproducción de señales de audio basados en conmutación pero con el creciente avance de las tecnologías y la aparición de gran número de aparatos reproductores de audio basados en formato digital ha dado lugar al desarrollo del PWM digital. El esquema general de amplificación PWM digital sería el de la *Figura 37*.

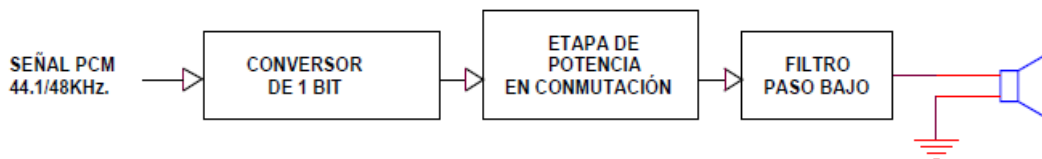


Figura 37. Amplificación PWM Digital.

La amplificación de potencia en conmutación digital permite trabajar con señales digitales codificadas mediante Modulación por Codificación de Pulso (PCM), se realiza la conversión de dicha señal con una frecuencia de muestreo de 44.1/48KHz a señales analógicas con potencia elevada y sin amplificación analógica intermedia. La descripción del proceso se observa en la *Figura 37*. La señal codificada PCM es convertida en una señal sobre muestreada de un solo bit (dos niveles). Posteriormente es utilizada para controlar una etapa de potencia en conmutación basada en la utilización de transistores MOSFET. La salida es conectada a un filtro paso bajo, el cual reconstruye la señal directamente sobre el altavoz.

Uno de los puntos a destacar sería los problemas que plantean intentar reproducir señales digitales con un número elevado de bits mediante amplificación PWM:

- Necesidad de pulsos con una elevada resolución.
- Necesidad de emplear conformación de ruido con sobremuestreo elevado para poder transformar las señales con un número elevado de bits.

El siguiente esquema corresponde a un amplificador PWM digital. Destacamos como bloques fundamentales el interpolador, un conformador de ruido, la etapa de PWM digital, la etapa de potencia y un filtro. El bloque conformador de ruido permite reducir el número de bits que transportan la información, 16 o 24 bits, minimizando la función de transferencia de ruido sobre una banda de frecuencia dada. [10].

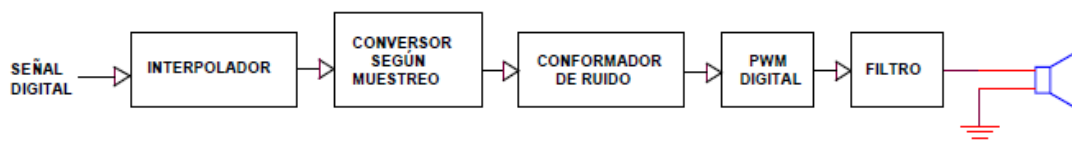


Figura 38. Amplificador PWM Digital.



Con el amplificador digital conseguimos tratar directamente con señales en formato digital además de su simplicidad en cuanto al número de bloques que este incorpora. Por otro lado una de sus desventajas más notables es, la distorsión de cruce elevada que presenta, un comportamiento no lineal debido a la diferencia de tiempo entre los flancos de subida y de bajada de la señal PWM, una menor protección frente a las posibles distorsiones que aparecen en la fuente de alimentación, así como una gran dependencia a la temperatura y tolerancia de los componentes. La razón de esta desventaja reside en la ausencia de realimentación negativa que permite corregir estos errores.

6.2. MODULACIÓN PWM

La modulación por ancho de pulsos (también conocida como PWM) de una señal o fuente de energía es una técnica en la que se modifica el ciclo de trabajo de una señal periódica (una senoidal o una cuadrada, por ejemplo), ya sea para transmitir información a través de un canal de comunicaciones o para controlar la cantidad de energía que se envía a una carga. El ciclo de trabajo de una señal periódica es el ancho relativo de su parte positiva en relación con el período. Expresado matemáticamente:

$$D = \frac{\tau}{T}$$

Donde:

- D es el ciclo de trabajo
- τ es el tiempo en que la función es positiva (ancho del pulso)
- T es el período de la función

En PWM el ancho del pulso varía en función de la tensión de entrada, una forma fácil de conseguir la señal modulada PWM es introducir por una de las entradas del comparador una señal senoidal, y por la otra una triangular mediante un generador de funciones. Ver *Figura 39*. En la salida la frecuencia es igual a la de la señal triangular introducida, y el ciclo de trabajo está en función de la portadora. Podemos visualizar en la *Figura 40* un ejemplo de señal modulada en PWM para una señal de entrada sinusoidal.

La principal desventaja que presentan los circuitos PWM es la posibilidad de que haya interferencias generadas por radiofrecuencia. Éstas pueden minimizarse ubicando el controlador cerca de la carga y realizando un filtrado de la fuente de alimentación.

Para el desarrollo de este modulador se realizó en primer lugar un diseño minucioso y pormenorizado de forma analógica mediante la herramienta proporcionada por Orcad capture CIS para conseguir un mayor entendimiento de dicho modulador. Una vez realizado esto se llevo a cabo la adaptación del circuito analógico al circuito digital. A continuación veremos paso a paso el desarrollo de ambos circuitos y sus principales características, comenzando en primer lugar por el circuito analógico.



Figura 39. Generador de funciones AGILENT33120A.

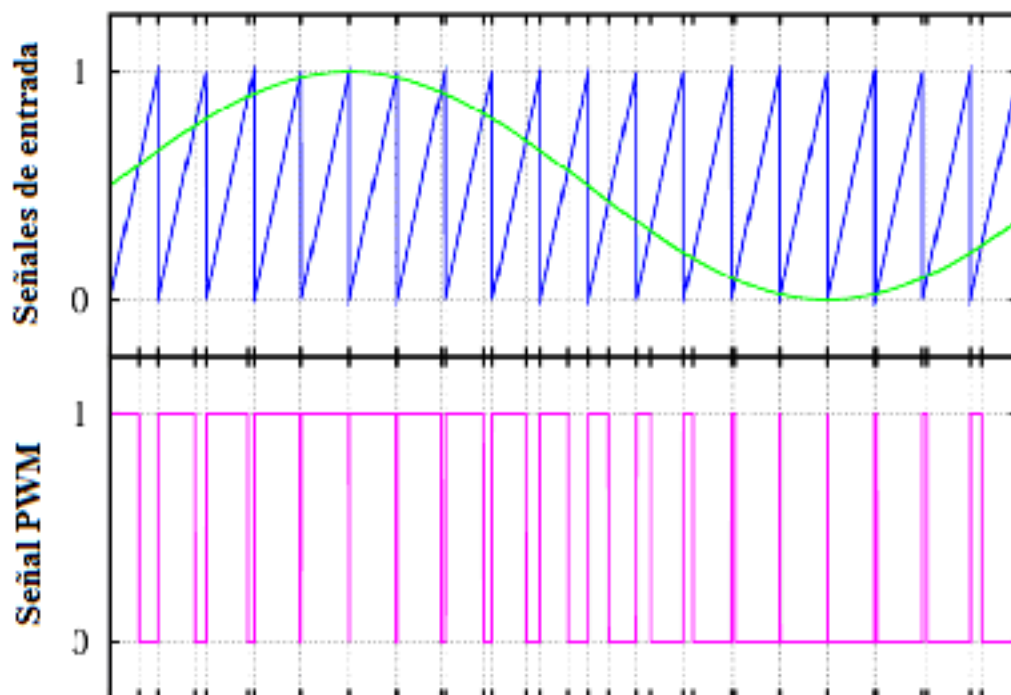


Figura 40. Señal PWM.

MODELO ANALÓGICO

Como se ha comentado anteriormente el modelo analógico del modulador PWM se basa principalmente en un comparador y en cuyas entradas irán conectadas la señal portadora y una señal triangular de periodo igual a $2.6\mu s$. El comparador es alimentado con una tensión de $+7V$ y $-7V$. La señal triangular que introducimos está comprendida entre $+5V$ y $-5V$ mientras que la señal portadora es la consecución de varios generadores de ondas sinusoidales de diferentes frecuencias y amplitudes que intentan simular la voz humana. Por último, la salida del comparador va conectada a la entrada del puente inversor. A continuación podemos visualizar el circuito analógico completo de PWM junto con el Puente Inversor en la *Figura 41*.

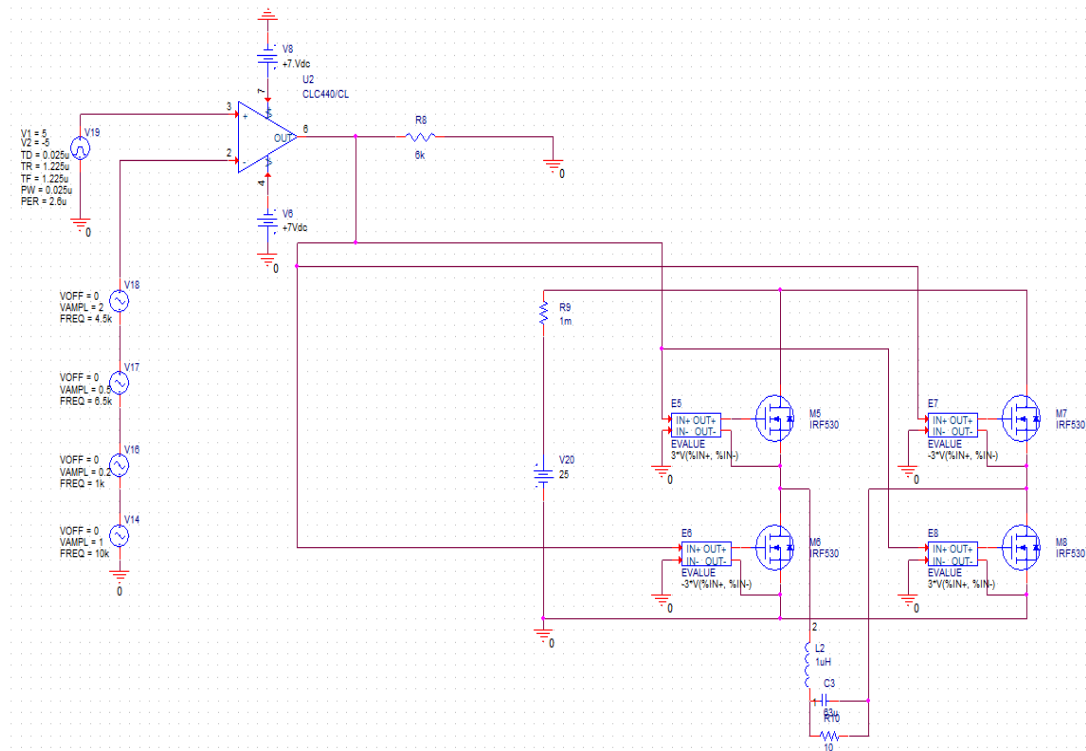


Figura 41. Circuito analógico PWM con Puente Inversor.

Por otro lado la resolución del convertidor A/D resultante dependerá de la velocidad del reloj que mida el ancho de pulso. Este efecto se muestra de forma intuitiva en la *Figura 42*.

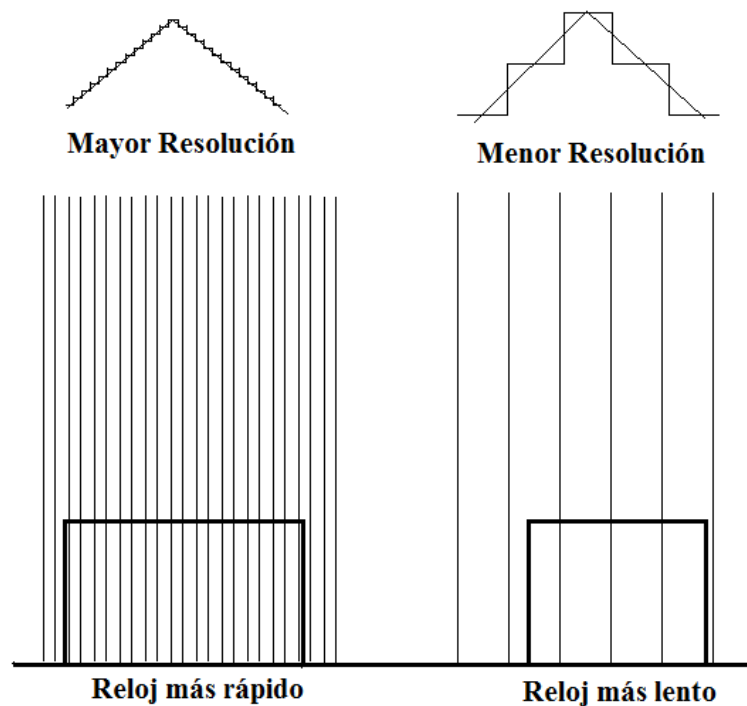


Figura 42. Resolución PWM.



6.3. ESQUEMA GLOBAL DEL CIRCUITO PWM DIGITAL

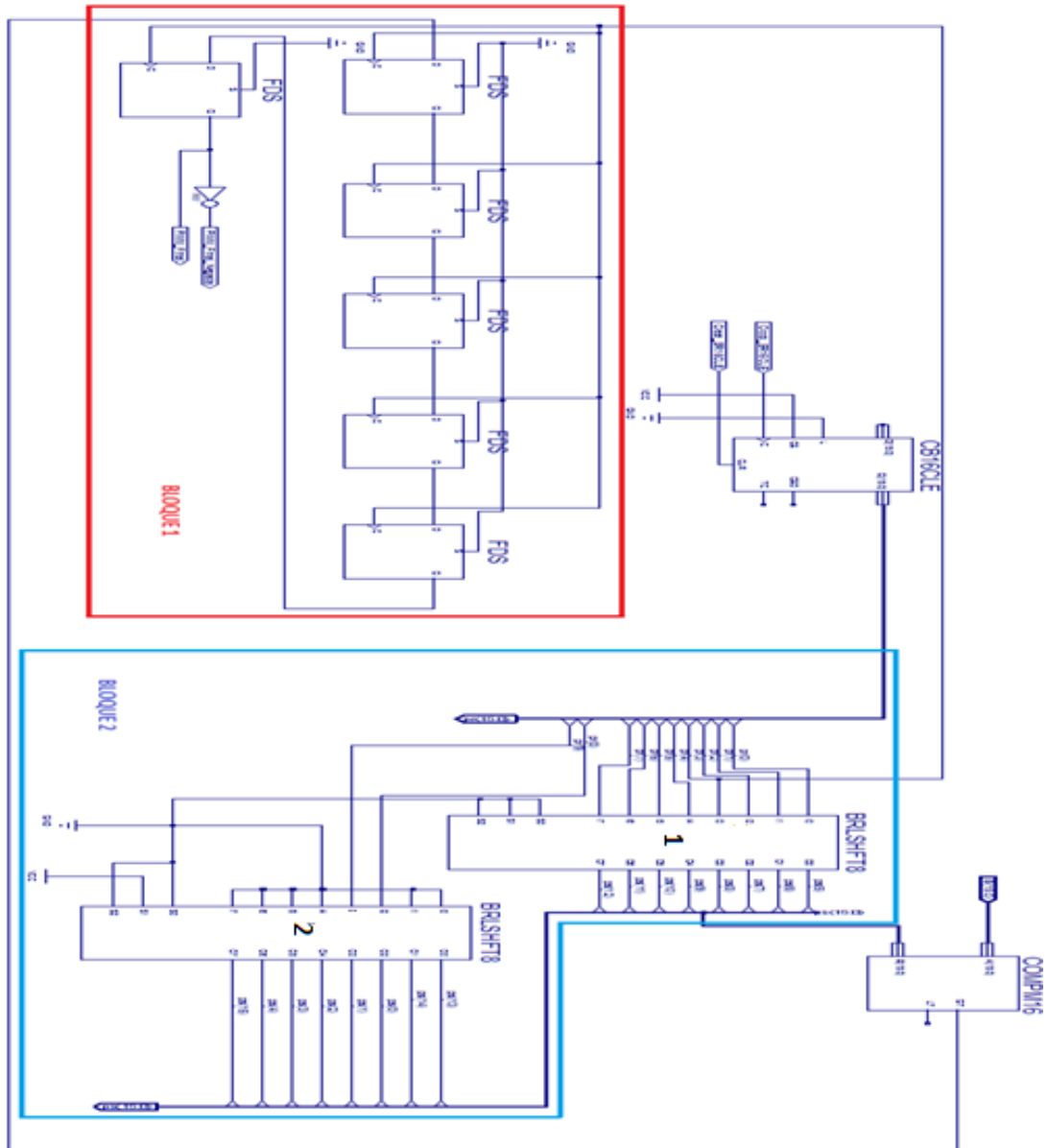


Figura 43. Esquema global del circuito PWM.

6.4. PRINCIPIO GENERAL DE FUNCIONAMIENTO

Observamos que para realizar el circuito PWM digital solo necesitamos de un contador, el formado por CB16CLE de 16 bits y el bloque 2 y de un comparador COMPM16.

El Bloque 1 representa el modulo retardador que se ha tenido que añadir al circuito debido al problema de cortocircuito y su posterior sobrecalentamiento del puente inversor, que generan los MOSFETs del puente inversor (ver *Figura 15*). Este problema es generado como consecuencia del retardo que presentan los pares de ramas del puente inversor (S1 y S2, S4 y S3), es decir, cuando S1 presenta un flanco de subida el interruptor S4 aún se encuentra

Proyecto Fin de Carrera



Capítulo 6. Modulación en audio basada en modulación PWM.

activo lo que provoca el cortocircuito. Lo mismo sucede para el otro caso, cuando en S4 se recibe un flanco de subida S1 sigue activo provocando el mismo efecto. Ver *Figura 44*.

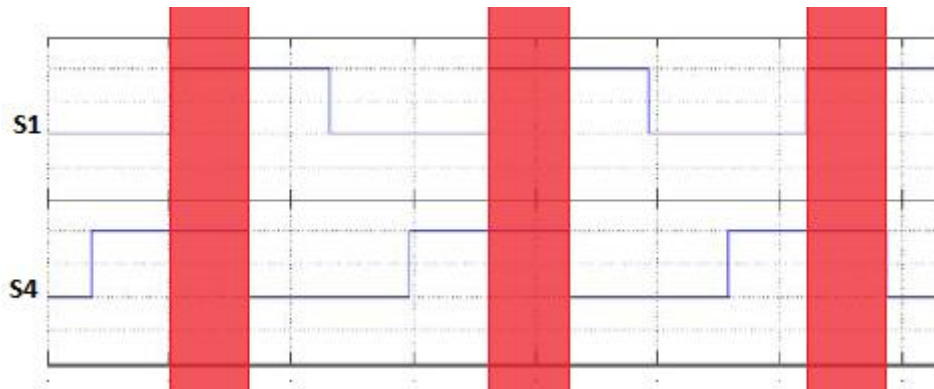


Figura 44. Visualización Cortocircuito Puente Inversor.

La forma de corregir este error ha sido incluyendo un determinado número de Biestables tipo D. Cada biestable introduce el mismo retardo, por lo tanto calculando el retardo entre los pares de señales S1 y S4 podemos determinar el número exacto de biestables necesarios. Este retardo se ha calculado mediante el osciloscopio (ver *Figura 45*) midiendo a la salida del Puente inversor, esto es en A y B (ver *Figura 23*).

Apreciamos que las salidas se desfasan en tiempo igual a $2\mu s$, por tanto, fijándonos en nuestro contador CB16CLE de 16 bits, (ver *Figura 43*) extrayendo el valor del bit Pr(3) y sabiendo que:

- La frecuencia utilizada por el contador CB16CLE es de 50MHz (la misma que emplea la FPGA).
- Nuestra nueva frecuencia obtenida a través del bit Pr(3) será igual a $F'_3 = F_{pwm}/16$ (Dividimos entre 16 debido a que se trata del bit 4, si fuese, por ejemplo el bit 3, la ecuación quedaría de la siguiente forma $F'_2 = F_{pwm}/8$).
- El periodo de un Biestable tipo D será el determinado por la ecuación $T = 1/F'_3$.

Aplicando las ecuaciones anteriores obtenemos un valor de F'_3 de 3.125 MHz y de $T=320$ ns. Una vez calculado el valor de T podemos determinar el número de biestables necesarios para corregir los $2\mu s$ obtenidos en la medición. Para superar dicho valor son necesarios 8 Biestables tipo D los cuales provocan un retraso en la señal del modulador PWM igual a $320ns \times 8 = 2.56\mu s$.

El Bloque 2 corresponde al contador de modulador PWM. Este bloque se realizó debido a la necesidad de disponer de un contador de menor número de bits ya que uno de 16 presenta conflictos al ser demasiado grande. Es por ello por lo que mediante dos BARRELSHIFTER de 8 bits logramos un contador de 10 bits. A continuación detallaremos la configuración de cada uno de los BARRELSHIFTER's:



1. El BARRELSHIFTER nº 1 tiene como configuración S0, S1 y S2 con valor de cero, esto significa que el dispositivo se comportara normalmente, sin modificar la cadena recibida en sus entradas.
2. El BARRELSHIFTER nº 2 tiene como valores de S0, S1 y S2, 0, 1, 0. Esto hace que el dispositivo modifique el valor de salida de la cadena que recibe a su entrada. Además se han colocado minuciosamente las entradas para conseguir que la cadena resultante se encuentre colocada en el orden correcto. Con este bloque conseguimos eliminar los 6 bits más significativos del contador CB16CLE de 16 bits (B10, B11, B112, B13, B14 y B15) y colocar el resto de mayor a menor peso.

El comparador COMPM16 se encarga simplemente de comparar la salida del contador de 10 bits procedente del Bloque 2 con la entrada de audio digitalizada procedente del conversor A/D. La salida de este es nuestra señal modulada, nuestra señal PWM. Señal que funciona con una frecuencia de 50 KHz.

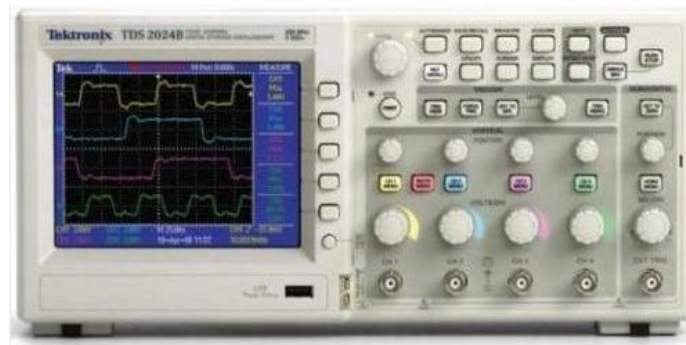


Figura 45. Osciloscopio Tektronix TDS 2024B.

6.5. FILTRO LCL

Como ya comentamos en el capítulo 2, el objetivo de nuestro filtro LCL de sexto orden es el de atenuar los armónicos de alta frecuencia y evitar la conexión directa entre el convertidor y la red. Podemos ver el esquema del circuito correspondiente al filtro LCL en la Figura 46. Nuestro filtro está formado por 6 bobinas de inductancia igual a $22\ \mu\text{H}$ cada una y de 3 condensadores de $1.5\ \mu\text{F}$ de capacidad cada uno. Por último se ha conectado el altavoz en paralelo. El conjunto de bobinas y condensadores nos da como resultado un filtro LCL de sexto orden con una frecuencia de corte igual a 50KHz.

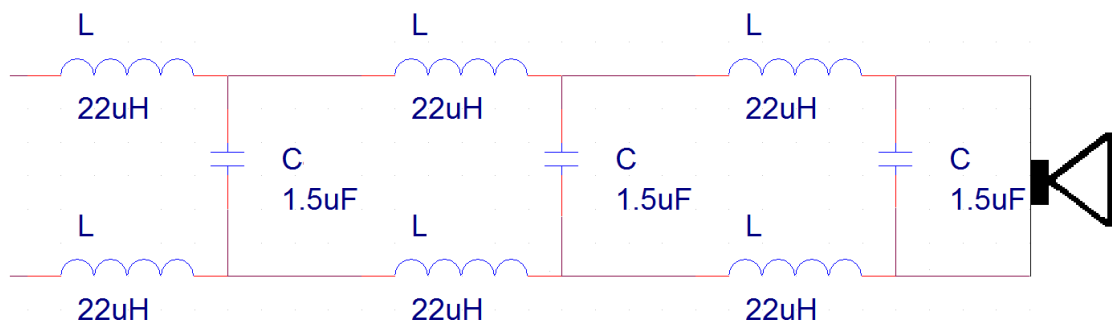


Figura 46. Esquema del circuito del filtro LCL.



A continuación se muestra la **respuesta en frecuencia del filtro**, ver Figura 47.

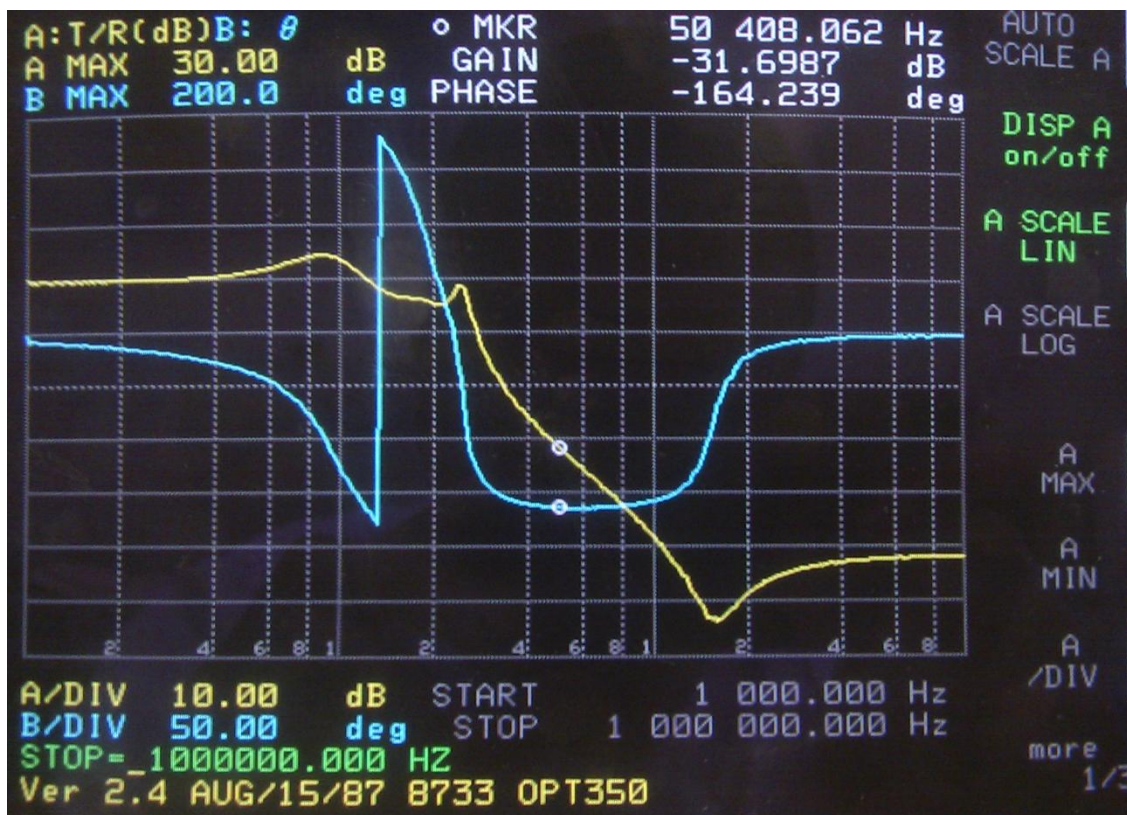


Figura 47. Respuesta en Frecuencia del filtro LCL de sexto orden.

Nota: Destacar que tanto para el circuito PWM y para el circuito Sigma-Delta se ha empleado el mismo filtro LCL con el fin de evaluar cual se comporta mejor.

6.6. RESULTADOS DE LAS SIMULACIONES

En esta sección describiremos los resultados correspondientes al modelo PWM con el filtro LCL acoplado. La señal color celeste representa nuestra señal de entrada mientras que la que figura en color rojo corresponde a la resta de dos señales, la señal PWM y \overline{PWM} , señales recibidas a través de las entradas T3 y T4 para PWM y por T1 y T2 para el caso de \overline{PWM} del puente como pudimos ver en la Figura 21 anteriormente descrita.

Podemos observar que:

- Para frecuencias bajas el modulador consigue representar con cierta distorsión la señal fielmente.
- A medida que aumentamos la frecuencia de la señal senoidal nuestra respuesta pierde información progresivamente.
- Se aprecia mucha distorsión para las frecuencias medias-altas en la señal resultante, pérdida que provoca como consecuencia un deterioro de la señal reproducida por el altavoz.

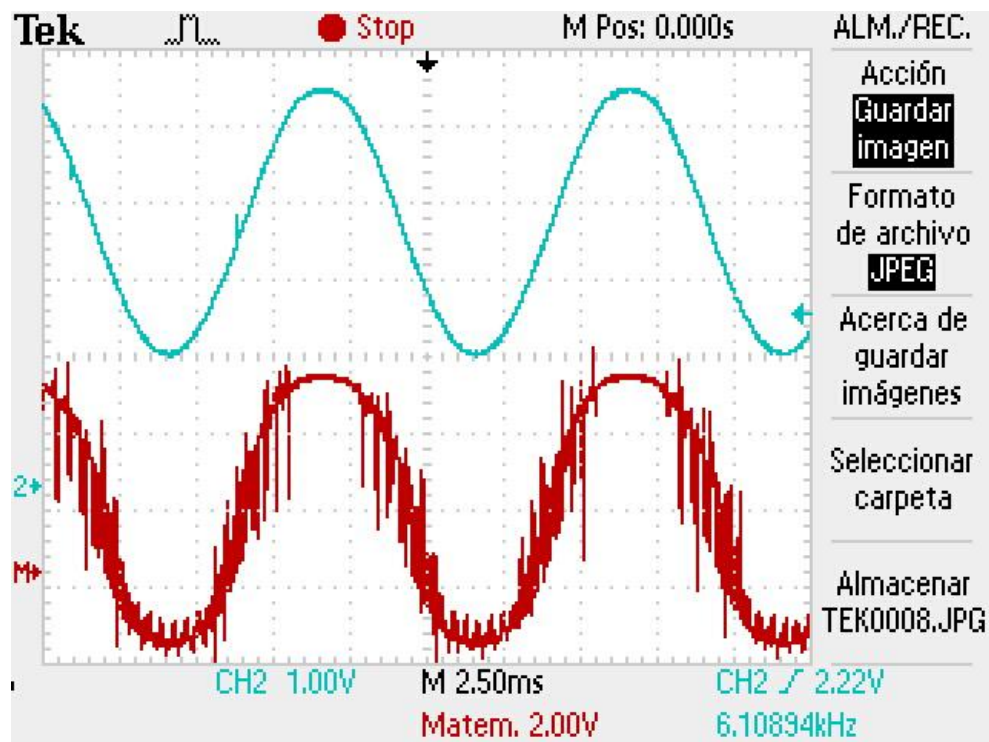


Figura 48. Respuesta para señal senoidal de 100Hz.

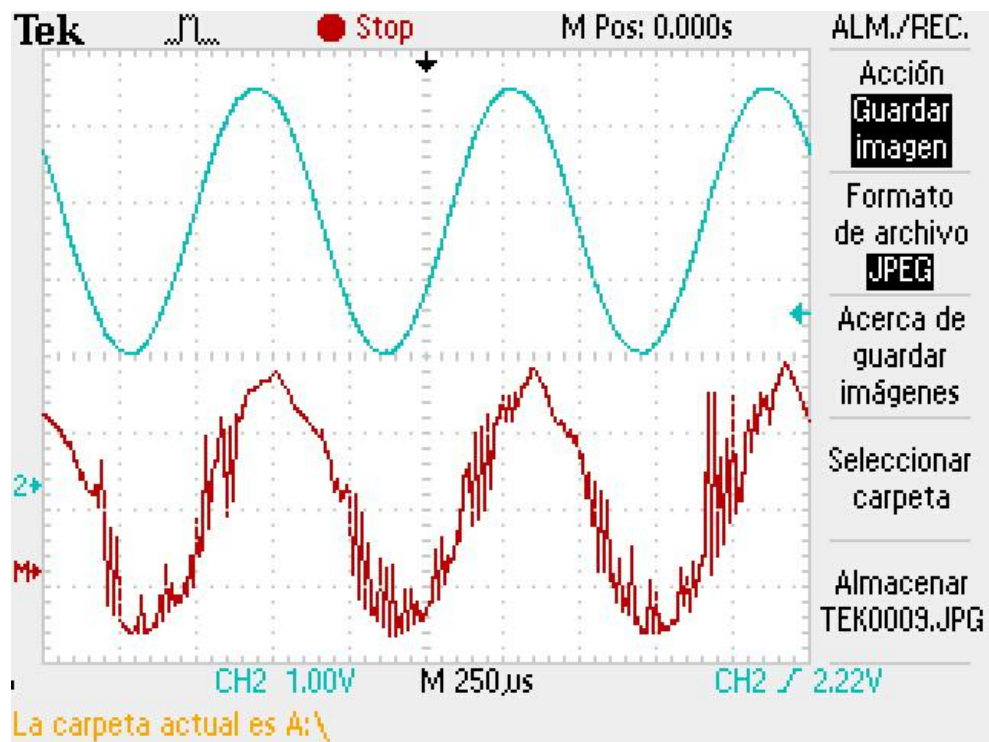


Figura 49. Respuesta para señal senoidal de 1.2KHz.

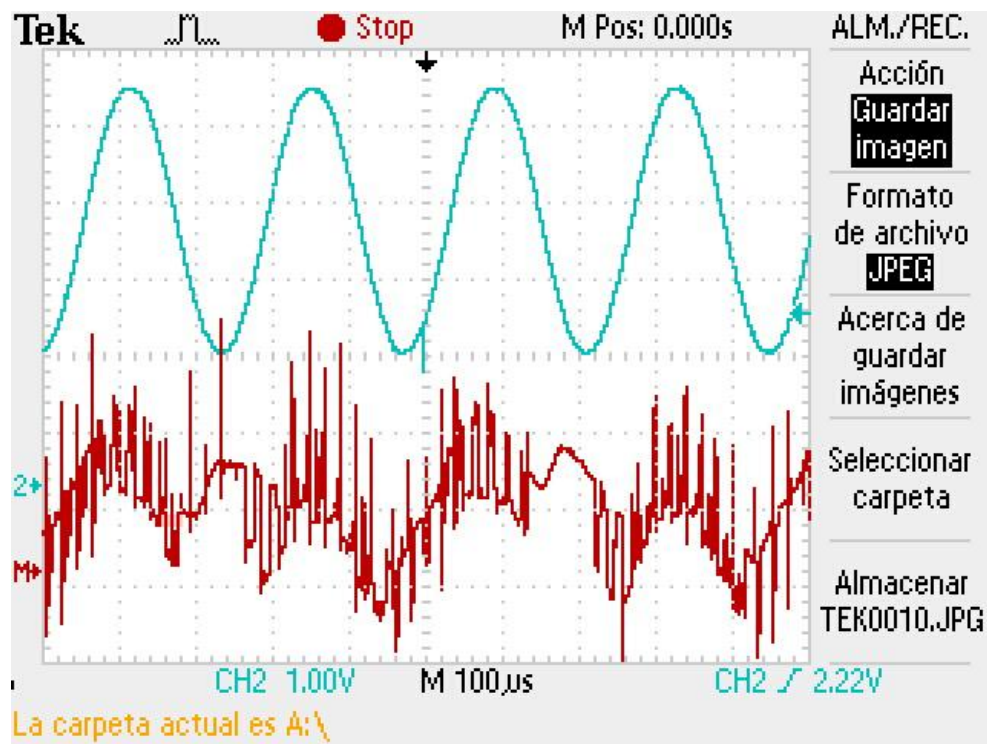


Figura 50. Respuesta para señal senoidal 4.5KHz.



Proyecto Fin de Carrera

Capítulo 6. Modulación en audio basada en modulación PWM.



CAPÍTULO 7.

AMPLIFICACIÓN EN AUDIO BASADA EN MODULACIÓN DE SIGMA-DELTA.



7.1. AMPLIFICACIÓN SIGMA-DELTA

Uno de los problemas que se puede plantear al utilizar Modulación de Anchura de Pulso como método de modulación es la elevada resolución que pueden necesitar los flancos de la señal modulada. Por otra parte, e independientemente del tipo de la señal de audio, digital o analógico, se debe atender a los comportamientos no lineales propios de la Modulación PWM. Por todo lo anterior se plantea la utilización de otros tipos de modulación alternativos como la Modulación Sigma-Delta. Este tipo de modulación destaca por su linealidad, así como por la capacidad de generación de información con pocos bits. Con todo, la utilización de Modulación Sigma-Delta plantea problemas que han retardado su implantación en etapas de amplificación en conmutación. La elevada frecuencia de repetición de pulso, así como el consumo en las situaciones de reposo, han limitado el éxito de estas etapas. Las soluciones han venido, por ejemplo, de la mano de algoritmos que controlaban la frecuencia de repetición de pulso. Así se actúa agrupando bits que consigan reducir el consumo sin alterar la señal, y que se satisfagan las condiciones de temporización [11].

El Modulador Sigma-Delta citado permite la transformación de la señal de entrada analógica en una señal digital modulada Sigma-Delta.

7.2. MODULACIÓN SIGMA-DELTA

Un modulador Sigma- Delta clásico de primer orden está compuesto por un integrador, un muestreador, un cuantificador uniforme de un bit y un convertidor D/A en el camino de realimentación como el que se muestra en la *Figura 51*. El ruido aportado por el cuantificador es considerado aditivo a la salida del integrador, tal como muestra la *Figura 52*, donde además se ha considerado un modulador de tiempo discreto. Es decir, el proceso de muestreo de señal ocurre fuera del bucle de realimentación.

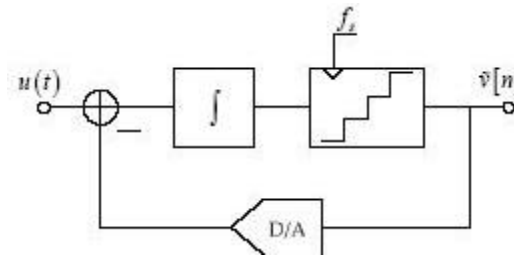


Figura 51. Modulador Sigma-Delta de primer orden.

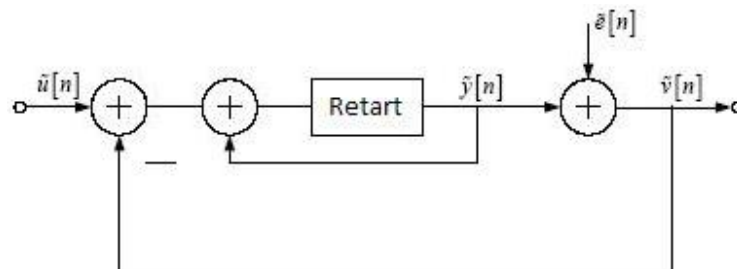


Figura 52. Modelo lineal de un modulador Sigma-Delta discreto de primer orden.



Empleando la teoría de sistemas lineales sobre el modelo lineal considerado, se puede demostrar que la salida está compuesta por la suma de la señal de entrada filtrada y el ruido de cuantificación filtrado. Se observa que el camino de filtrado del ruido de cuantificación es diferente del camino de filtrado de la señal de entrada, ya que al aplicar la transformada Z sobre el sistema de la *Figura 52*, se obtiene: [12]

$$\begin{cases} \tilde{v}[n] = \tilde{u}[n-1] + (\tilde{e}[n] - \tilde{e}[n-1]) \\ V(z) = z^{-1}U(z) + (1 - z^{-1})E(z) \end{cases}$$

Como se puede observar, el ruido de cuantificación queda atenuado en una determinada banda de frecuencia próxima a cero.

Supuesto que la señal de entrada tiene un espectro finito y centrado en cero, y que la frecuencia de muestreo es superior a la frecuencia de Nyquist de la señal de entrada, la señal de salida tendrá una resolución dentro de la banda de frecuencia de interés mayor que la obtenida si se empleara únicamente el cuantificador uniforme de la *Figura 51*.

El ruido de cuantificación que queda fuera de la banda de interés es filtrado digitalmente con posterioridad. La etapa de filtrado digital incorpora usualmente un filtro de diezmado. A la relación entre la frecuencia de muestreo empleada en la modulación y la frecuencia de Nyquist se le denomina relación de sobre muestreo (OSR).

Usando el modelo lineal del modulador el diseñador puede conseguir que el filtrado de señal sea independiente del filtrado del ruido de cuantificación. Para aumentar la resolución del modulador se puede incrementar el orden de filtrado, incrementar el número de bits empleados en la cuantificación, o bien incrementar la OSR.

En general se pueden definir dos funciones de transferencia asociadas a un modulador Sigma-Delta. Una función de transferencia para el ruido de cuantificación o NTF (de Noise Transfer Function) y otra función de transferencia distinta para la señal de entrada o STF (de Signal Transfer Function). La señal de salida del modulador Sigma-Delta se puede expresar en función de estas dos funciones de transferencia):

$$V(z) = \tilde{STF}(z) \cdot U(z) + \tilde{NTF}(z) \cdot E(z)$$

Donde:

$$\begin{cases} \tilde{STF}(z) = \frac{\tilde{H}_1(z)}{1 + \tilde{H}_2(z)} \\ \tilde{NTF}(z) = \frac{1}{1 + \tilde{H}_2(z)} \end{cases}$$

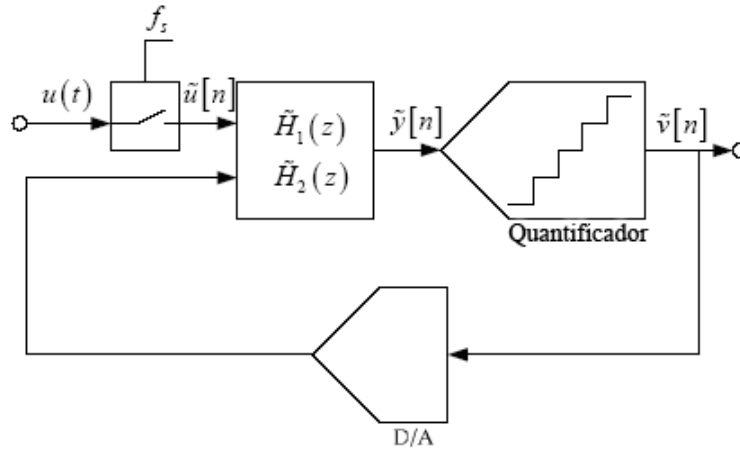


Figura 53. Diagrama de bloques general de un modulador SD en tiempo discreto.

Un incremento del orden de filtrado del modulador supone un incremento del orden de la NTF. Cuanto más agresiva es la NTF más resolución puede tener el modulador Sigma-Delta. Normalmente un modulador Sigma-Delta empieza especificándose a través de su NTF.

La {resolución} del modulador Sigma-Delta se define en base a la relación máxima señal-ruido (SNR) que puede obtenerse en su señal de salida. En un cuantificador uniforme se estima de forma aproximada que la SNR máxima que puede obtenerse en su señal de salida es:

$$SNR_{uniforme} = 6.02 \cdot N + 1.76dB$$

*donde N es el número de bits empleados en la cuantificación.

Teniendo en cuenta la expresión anterior se define la resolución de un modulador Sigma-Delta como:

$$ENOB = \frac{SNR_{maxima}(dB) - 1.76}{6.02} bits$$

*donde $ENOB$ se refiere al número de bits efectivos del convertidor A/D obtenido.

El modelo lineal sirve para estimar la resolución y características de un gran número de arquitecturas de una forma rápida. Sin embargo, deja de funcionar cuando alguna de las condiciones descritas deja de cumplirse razonadamente bien.

Al igual que para Modulación PWM se realizó en primer lugar la implementación del circuito de forma analógica hasta lograr el resultado esperado, con Sigma-Delta se procederá de la misma manera y una vez logrado esto se pasará a realizar la traducción de dicha implementación a digital.

MODELO ANALÓGICO

La Modulación Sigma-Delta se apoya en la utilización del sobremuestreo y de la cuantificación de 1 bit, con el objetivo de obtener alta resolución a frecuencias bajas. Una

Proyecto Fin de Carrera



Capítulo 7. Modulación en audio basada en modulación Sigma-Delta.

implementación es la que aparece en la *Figura 54*. El circuito puede ser implementado mediante un integrador diferencial, un comparador, y un biestable tipo D. La salida de este sistema es una cadena de bits cuya densidad de pulso es proporcional a la señal de entrada aplicada. Se puede observar el sistema como un sistema con control por realimentación. En cada instante de muestreo, el signo de la diferencia acumulada o error, entre la entrada y la salida de la cadena de pulsos es detectado y mantenido durante un periodo. Si la salida del comparador es un uno lógico entonces un nivel positivo es realimentado al integrador diferencial. Si la salida del comparador es un cero lógico, entonces un nivel negativo es realimentado al integrador. A medida que el tiempo evoluciona el modulador actuará para minimizar el error entre la entrada y la representación pulsante de la salida.

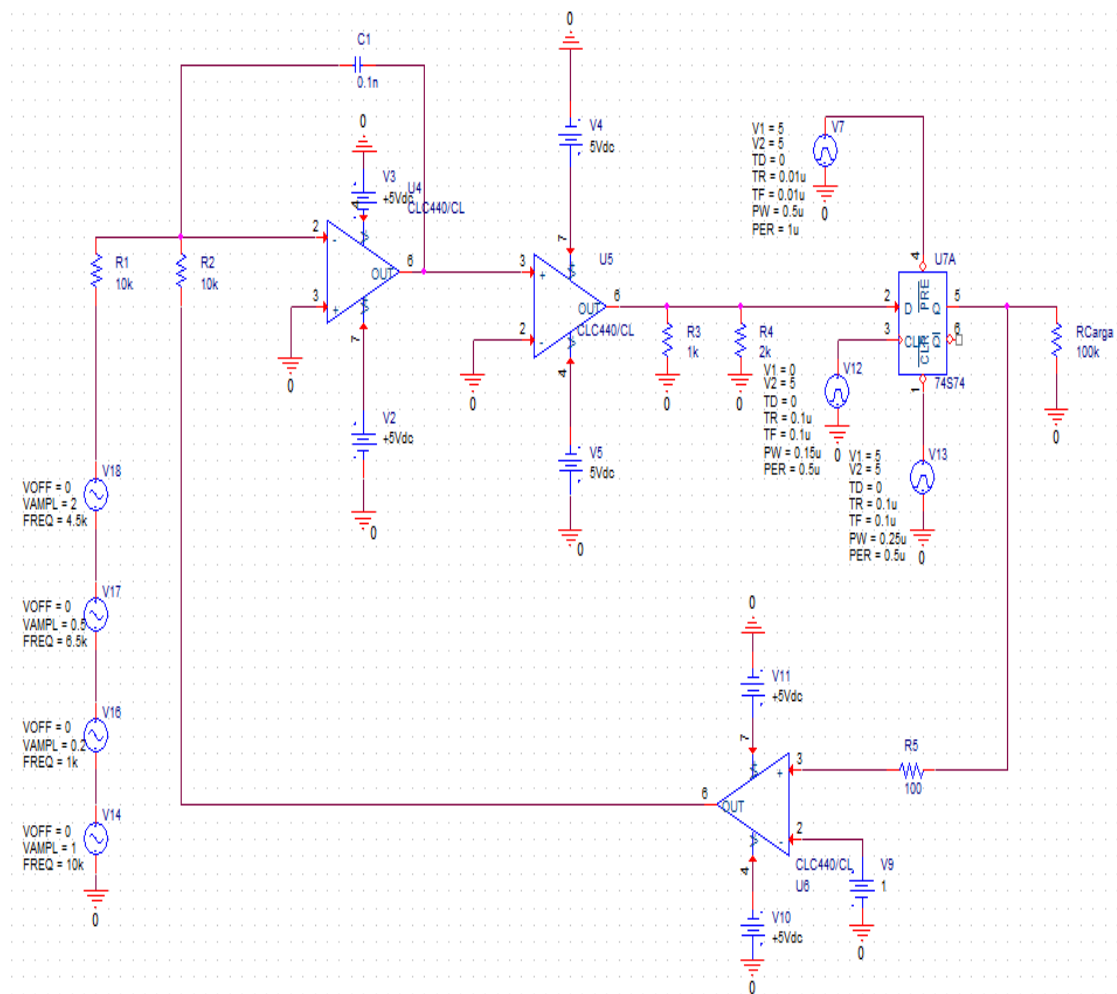


Figura 54. Implementación circuito analógico Sigma-Delta.

El amplificador operacional del lazo de realimentación convierte la señal de salida en una señal que conmuta entre -5 y 5 voltios. La señal de reloj del biestable ha sido establecida como una señal cuadrada de 500ns de periodo. La *Figura 55* muestra la señal de entrada al Modulador Sigma-Delta y la señal modulada.



Proyecto Fin de Carrera

Capítulo 7. Modulación en audio basada en modulación Sigma-Delta.

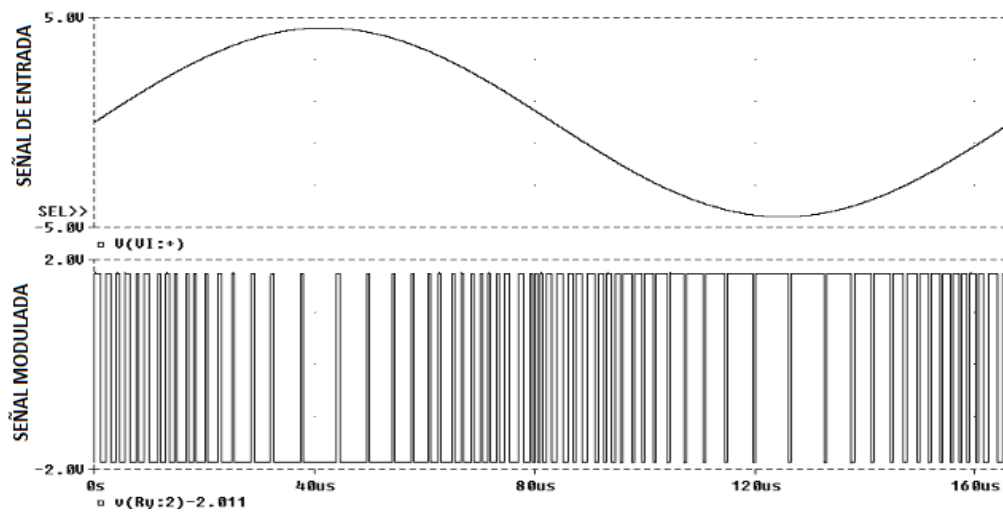


Figura 55. Señal en el Modulador Sigma-Delta.

A continuación mostramos el circuito integro Sigma-Delta junto con el Puente Inversor.

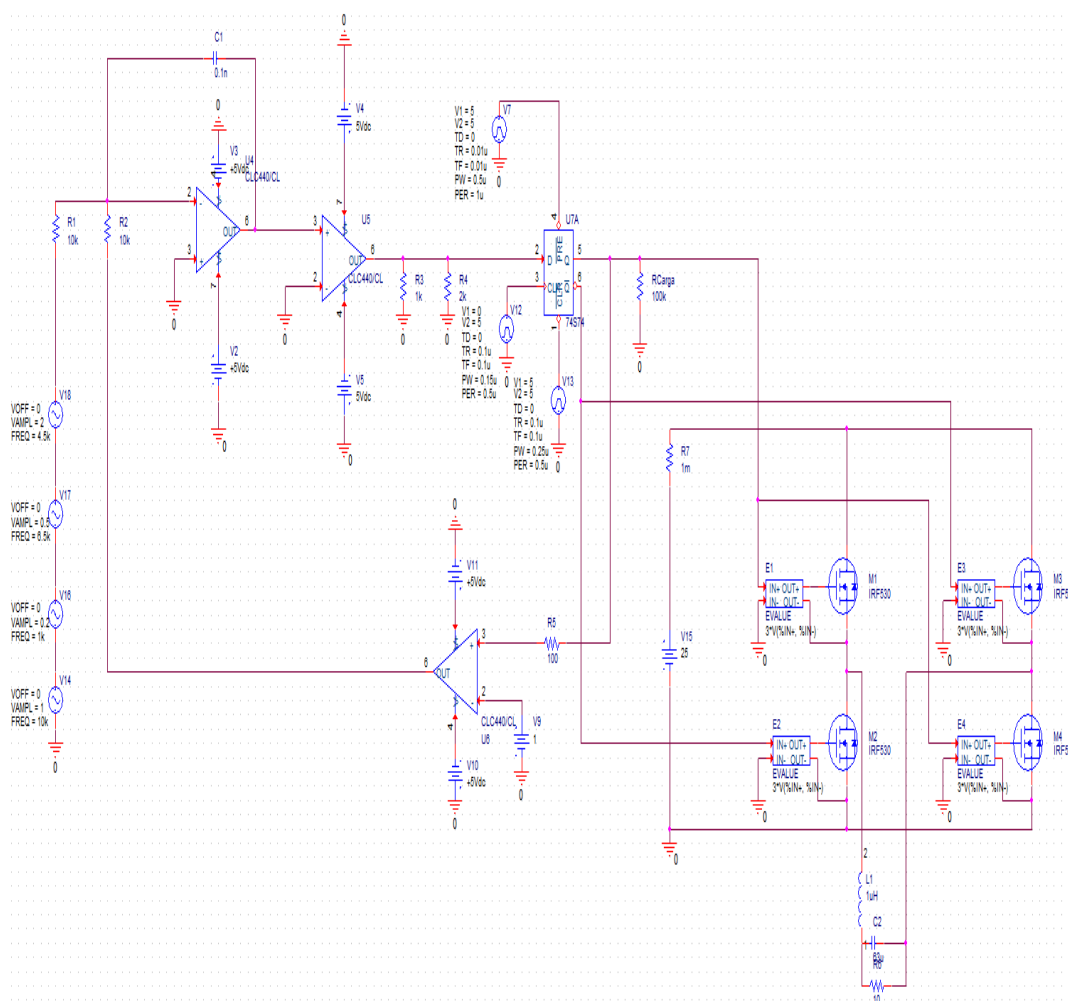


Figura 56. Circuito Sigma-Delta + Puente Inversor.



7.3. ESQUEMA GLOBAL DEL CIRCUITO SIGMA-DELTA DIGITAL

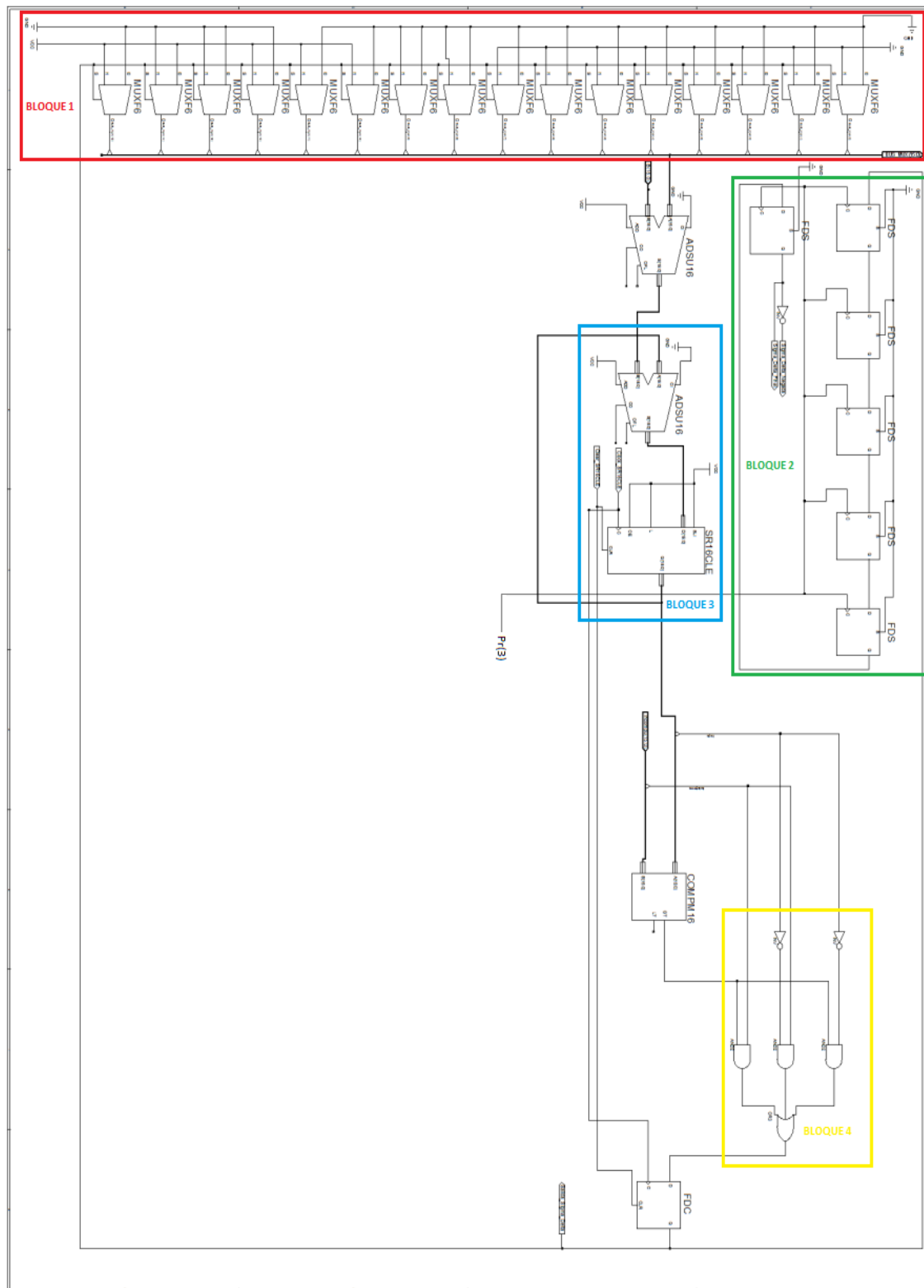


Figura 57. Circuito digital completo Sigma-Delta.



7.2. PRINCIPIO GENERAL DE FUNCIONAMIENTO

Para desarrollar el circuito digital del modulador Sigma-Delta hemos necesitado de un mayor número de componentes en comparación con el modulador PWM. Nuestro modulador Sigma-Delta estará compuesto de un integrador, un comparador y un biestable tipo D. Destacamos también el bloque formado por los biestables de tipo D que llevarán a cabo la misma función que en el modelo PWM de retardadores con el fin de resolver el problema ya explicado en el capítulo 6.4. PRINCIPIO GENERAL DE FUNCIONAMIENTO.

El circuito viene dividido en cuatro bloques fundamentales, estos son:

1. Bloque 1, compuesto por 16 multiplexores de dos entradas (I_0 e I_1) colocados de menor a mayor peso uno debajo de otro y que reciben a su entrada el valor de 100 y -100 en Ca_2 . Este bloque lo que hace es restar un error (el valor de 100 o -100 en Ca_2) a la señal realimentada procedente del Biestable D provocando los cambios del modulador Sigma-Delta.
2. Bloque 2, formado por el conjunto de biestables tipo D. Como ya se explico anteriormente sirve para solucionar el problema generado en el Puente Inversor.
3. Bloque 3, representa el integrador analógico explicado anteriormente para el circuito Sigma-Delta analógico. Este integrador podemos conseguirlo con la unión de:
 - Un sumador (ADSU16) de 16 bits que recibe como parámetros de entrada dos cadenas de 16 bits por cada una de sus dos entradas. En una de ellas recibirá la cadena producida por los 16 multiplexores del Bloque 1. En la otra entrada recibirá la cadena de salida del acumulador SR16CLE, de 16 bits. Y:
 - De un acumulador, SR16CLE. El acumulador es un registro en el que iremos almacenando temporalmente los datos obtenidos. Dicho acumulador tiene como señal de reloj de entrada la producida por la FPGA que es igual a 50MHz, frecuencia que coincide con la de nuestro modulador Sigma-Delta. A su entrada se conecta la cadena de bits de salida del sumador. La salida del acumulador irá a la entrada de un comparador.

El comparador (COMPM16) que hay a la salida del Bloque 3 realiza la función de comparación. Compara la cadena de 16 bits que recibe a la entrada procedente del acumulador con una cadena de 16 bits nula y constante. Esto servirá para detectar si la señal es positiva o negativa. En caso de ser positiva a la salida del comparador obtendremos un 1 lógico y en caso de ser negativa obtendremos un 0 lógico. Debido a que tratamos con señales positivas y negativas debemos de tener cuidado con el bit de signo, lo cual nos obliga a incluir un pequeño circuito de puertas lógicas que solucionen dicho problema, este circuito es el incluido en el Bloque 4.



Capítulo 7. Modulación en audio basada en modulación Sigma-Delta.

4. Bloque 4, constituido por un circuito de puertas lógicas que permite solucionar el problema que plantea el bit de signo en Ca_2 . Para ello se realizó el mapa de karnaugh:

Tabla 2. Mapa de Karnaugh.

Incomp0 ₁₅ GT/Q ₁₅	00	01	11	10
0	0	1	1	1
1	0	0	1	0

Resolviendo la tabla llegamos a una función tal que:

$$F = \bar{Q}_{15} \times GT + \text{Incomp0}_{15} \times \bar{Q}_{15} + \text{Incomp0}_{15} \times GT.$$

Por último el Biestable tipo D actualizará el estado del modulador Sigma-Delta antes pasando por el Bloque 2 que retardará la señal para evitar conflictos.

7.3. FILTRO LCL

Al igual que para el Modulador PWM emplearemos el mismo Filtro LCL.

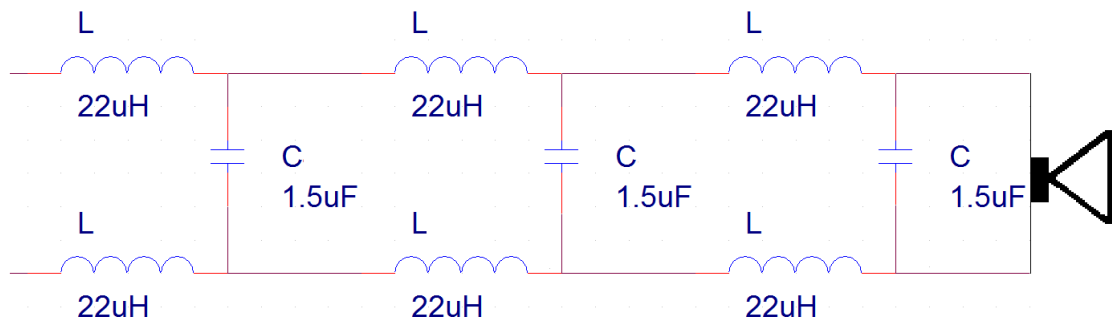


Figura 58. Filtro LCL Modulador Sigma-Delta.

7.4. RESULTADO DE LA SIMULACIÓN

Ahora visualizaremos los resultados obtenidos para la medición del modelo Sigma-Delta con el filtro LCL de sexto orden para una señal senoidal configurada con una amplitud igual a 2.2Vpp y un offset de 2.2 VDC. Siguiendo el mismo procedimiento que para el modelo PWM, esto incluye las conexiones de los pines T1, T2, T3 y T4 para las señales Sigma-Delta y *Sigma – Delta* observamos lo siguiente:

- Para frecuencias bajas el modulador Sigma-Delta no logra dar como resultado una señal lo más fiel posible a la original, presentando cierta distorsión.
- Para frecuencias medias se aprecia que el modulador sufre cierta mejora consiguiendo reproducir más fielmente la señal de entrada original.

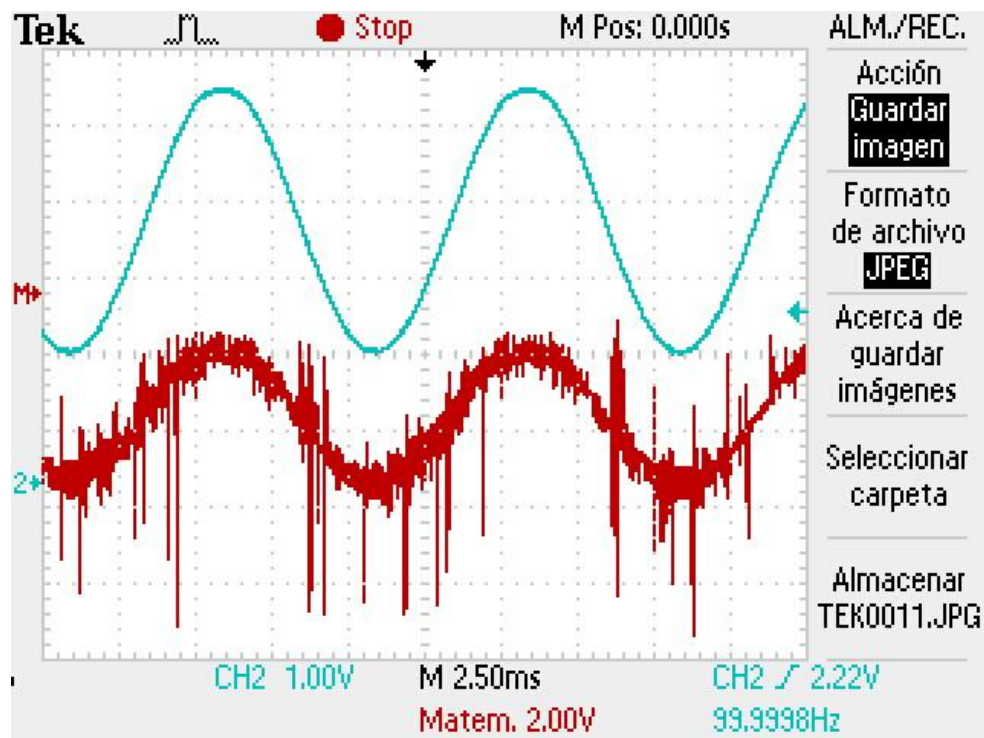


Figura 59. Respuesta para señal senoidal 100Hz.

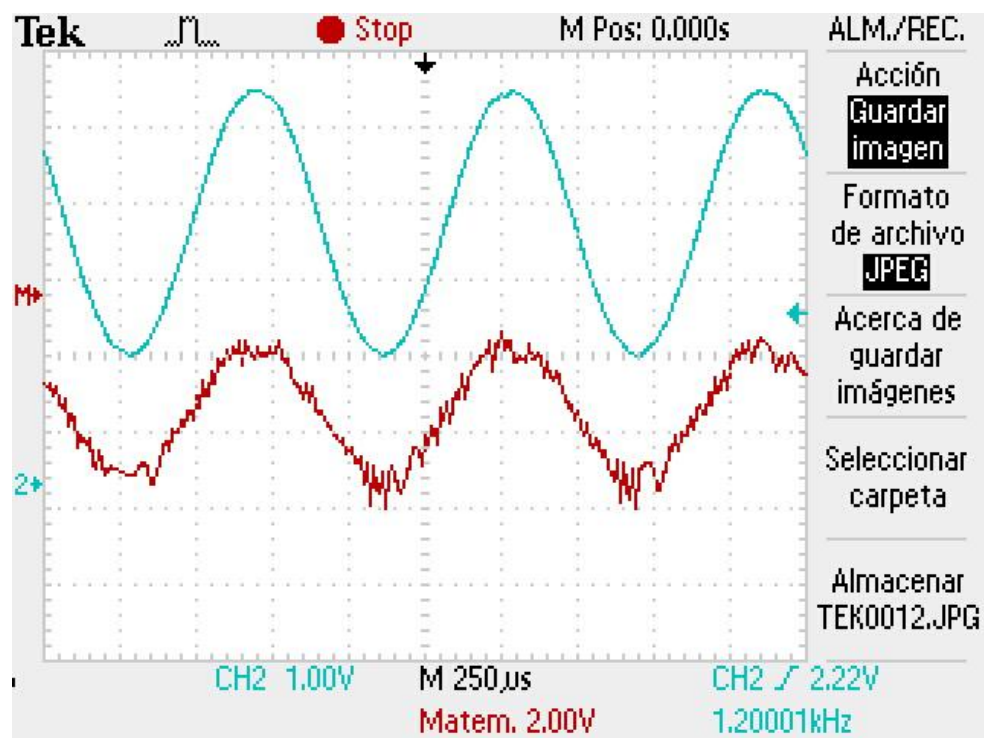


Figura 60. Respuesta para señal senoidal 1.2KHz.

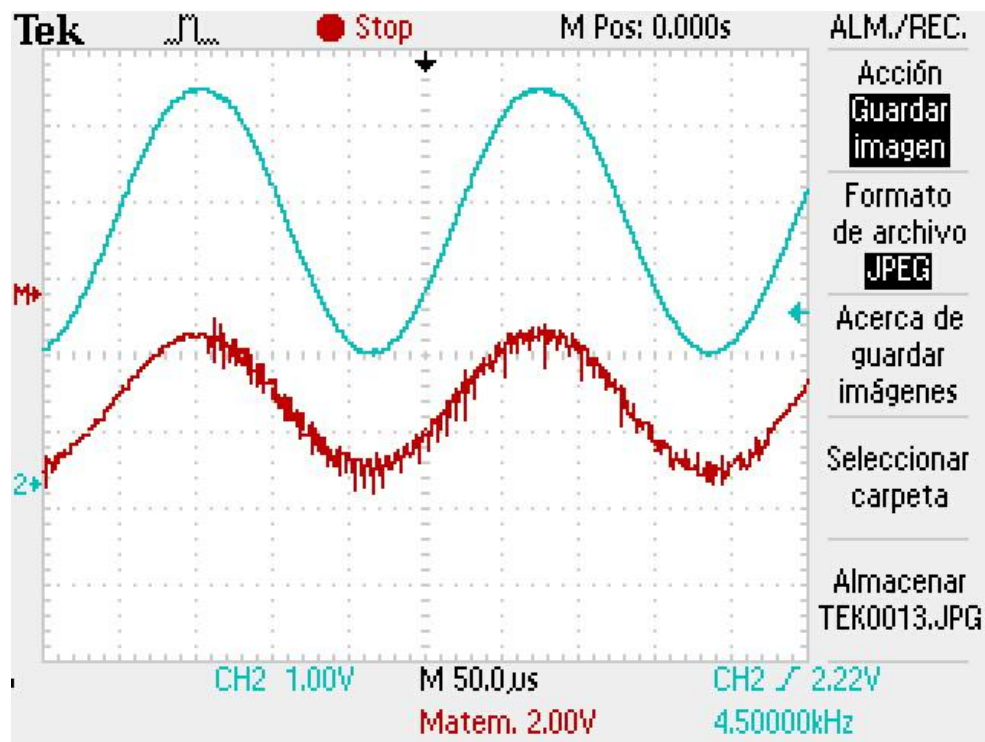


Figura 61. Respuesta para señal senoidal 4.5KHz.





CAPÍTULO 8.

ESTUDIO ECONÓMICO

Proyecto Fin de Carrera



Capítulo 8. Estudio Económico.

En este capítulo del documento se presenta el presupuesto general relacionado con el proyecto. Separaremos el presupuesto en dos tipos de gastos o costes, el primero de los materiales, el segundo el gasto en personal.

8.1. COSTE DEL MATERIAL

El coste del material hace referencia a la compra de la FPGA, de conversores, micrófono, altavoz y otros componentes electrónicos que han sido necesarios para el desarrollo del prototipo de pruebas. Los costes incluyen el Impuesto sobre el Valor Añadido (I.V.A.).

DESCRIPCION	MODELO/REFERENCIA	COSTE UNITARIO	CANTIDAD	COSTE TOTAL
Comparador diferencial	TL081	0,60€	1	0,60€
FPGA	Xilinx Spartan3e	63,17€	1	63,17€
Conversor A/D	ADC0804	19,27€	1	19,27€
Micrófono	Leotec	6,10€	1	6,10€
Altavoz	Labtec	2,10€	1	2,10€
Resistencias, condensadores, cable...	Varios	15€	1	15€
Material para la fabricación del circuito (placas, software...)	Varios	15€	1	15€
TOTAL COSTE MATERIAL				121,24€

8.2. COSTE DE PERSONAL

TAREA	ENCARGO	COSTE HORARIO	NÚMERO DE HORAS	COSTE TOTAL
Estudio previo y diseño del modelo	Ingeniero	26€/h	220h	5720€
Diseño físico del circuito y programación de la FPGA	Ingeniero	26€/h	230h	5980€
Creación del circuito modulo completo	Técnico de laboratorio	14€/h	40h	560€
Preparación del documento técnico	Administrativo	16€/h	80h	1280€
TOTAL COSTE PERSONAL				13.540€



El coste de personal engloba la mano de obra y recursos humanos necesarios para la implementación y diseño del proyecto. El coste horario está en función del sueldo neto, es decir, con las reducciones del I.R.P.F., seguridad social, etc.

8.3. COSTE TOTAL

El coste total, será la suma de los dos costes anteriores, es decir, el de material, y el de personal.

TIPO DE COSTE	CANTIDAD
TOTAL COSTE MATERIAL	121,24€
TOTAL COSTE PERSONAL	13.540€
COSTE TOTAL	13.661,24€





CAPÍTULO 9.

CONCLUSIONES Y TRABAJO FUTUROS



9.1. CONCLUSIONES

El objetivo principal de este proyecto era llevar a cabo el desarrollo integro de un amplificador de audio de tipo D orientado a dos tipos de modulaciones existentes, PWM y Sigma- Delta. Dicho estudio se desarrolló y simuló mediante Orcad Capture CIS y Xilinx ISE Design Suite 13.4. El primero fue utilizado como herramienta para el desarrollo integro del circuito analógico de ambos moduladores, el segundo para el desarrollo del circuito digital. Concluidos estos pasos y su satisfactoria simulación, se llevo a cabo el ensamblaje del circuito integro junto con el conversor A/D, el filtro LCL, el puente inversor, el micrófono y el altavoz a la FPGA empleada. Gran importancia de este proyecto recae en el puente inversor y el conversor A/D empleados así como el control de los mismos.

Las principales valoraciones que se han extraído de la realización de este proyecto son las siguientes:

- El sistema diseñado y construido puede dividirse en los siguientes bloques:
 1. Etapa de acondicionamiento analógico para la entrada del micrófono.
 2. Etapa de conversión analógica-digital para el manejo de la señal.
 3. Etapa de control digital, basada en una tarjeta comercial con FPGA encargada del tratamiento de los pulsos PWM y Sigma-Delta.
 4. Un puente inversor acoplado con un filtro LCL.
- Se ha validado experimentalmente el funcionamiento de las diversas etapas diseñadas en el proyecto, que son:
 1. El modulo de acondicionamiento analógica para la entrada de micrófono.
 2. El filtro LCL y
 3. El modulo de conversión analógico-digital.
- Se ha logrado hacer funcionar el puente inversor de forma correcta, consiguiendo una ganancia de salida alta para cualquiera de las dos modulaciones posibles del amplificador (por anchura de pulsos o Sigma- Delta).
- Acoplamiento del inversor al circuito junto con filtro LCL que mejora la respuesta del sistema final.

9.2. TRABAJOS FUTUROS

Como mejoras a introducir en el presente proyecto podríamos destacar las siguientes:

- Rediseño de los módulos implementados con el fin de mejorar su rendimiento, reduciendo posibles ruidos y frecuencias problemáticas.
- Incluir un modulo nuevo de efectos de audio que permita jugar con el sonido capturado por el micrófono antes de expulsarla al medio mediante el altavoz.





BIBLIOGRAFÍA Y REFERENCIAS



BIBLIOGRAFÍA Y REFERENCIAS

- [1] <http://www.pcaudio.com.ar/microfonos.html>
- [2] <http://sistemamultimedia.wordpress.com/2009/08/29/percepcion-humana-del-sonido/>
- [3] N. Jung "High-Fidelity and High Efficiency Analog Amplifier Combined with Digital Amplifier", U. S. Patent: 6,396, 393. 28 de Mayo de 2002.
- [4] T. Dhuyvetter, "Pulse Width Modulated Amplifier", U. S. Patent: 5,594,386. 14 de Enero de 1997.
- [5] B. Attwood, "Class D Amplifier System", U. S. Patent: 4,178,556. 11 de Diciembre de 1979.
- [6] FER98 E. Ferrer, "Method of Driving a Class D Audio Power Amplifier Using Non overlapping Edge Drive Signals", U. S. Patent: 5,729,175. 17 de Marzo de 1998.
- [7] N. Anderskouv, "Method of Attenuating Zero Crossing Distortion and Noise in an Amplifier and Uses of the Method and the Amplifier", U. S. Patent: 6,373,336. 16 de Abril de 2002.
- [8] D. McKorkle, "Class D Amplifier", U. S. Patent: 5,160,896. 3 de Noviembre de 1992.
- [9] L. Miskin, "Audio Power Amplifier with Class D Push-Pull Output Stage". U. S. Patent: 4,390,849. 28 de Enero de 1983.
- [10] R. Hiorns, "Power Digital to Analogue Conversion Using Pulse Width Modulation and Digital Signal Processing", IEE Proceedings-G, Vol. 140, Nº 5. Octubre. 1993.
- [11] A. Magrath y M. Sandler, "Digital Power Amplification Using Sigma-Delta Modulation and Bit Flipping", Journal of Audio Eng. Soc., Vol. 45, Nº 6. Junio. 1997.
- [12] http://es.wikipedia.org/wiki/Modulaci%C3%B3n_Sigma-Delta
<http://sound.westhost.com/articles/pwm.htm>
http://tecatura.udistrital.edu.co/downloads/revista8/pdf/imagenes/base_diseno_amplificador_es.pdf
<http://www.clubse.com.ar/diego/notas/2/nota58.htm>
<http://www.monografias.com/trabajos/sigmadelta/sigmadelta.shtml>
<http://jdavidj.0fees.net/tarea2.pdf>
<http://www.iberchip.net/VIII/docs/posters/p11.pdf>





ANEXOS



HOJAS DE CARACTERÍSTICAS

Basys Reference Manual



Diligent
www.digilentinc.com

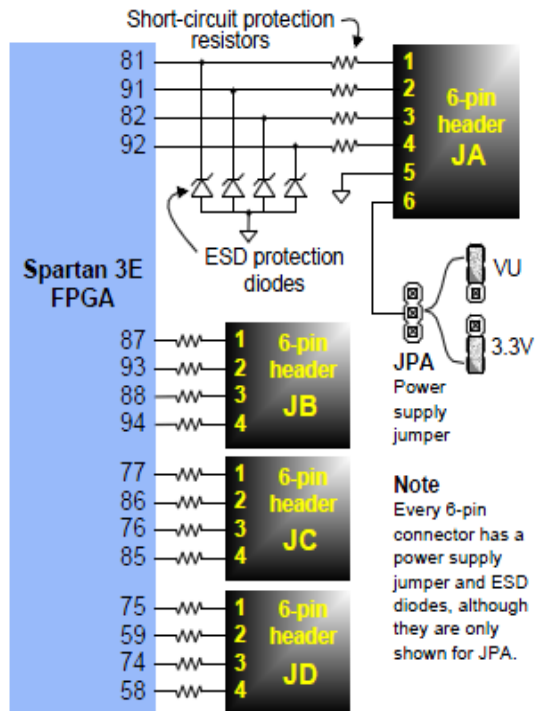
Expansion Connectors (6-pin headers)

The Basys board provides four 6-pin peripheral module connectors. Each connector provides Vdd, GND, and four unique FPGA signals. Several 6-pin module boards that can attach to this connector are available from Digilent, including A/D converters, speaker amplifiers, microphones, H-bridge amplifiers, etc. Please see www.digilentinc.com for more information.

FPGA Pin Definitions

The table below shows all pin definitions for the Spartan-3E on the Basys board. Pins in grey boxes are not available to the user

FPGA pin definition table color key		
Grey		Not available to user
Green		User I/O devices
Yellow		Data ports
Tan		Pmod connector signals
Blue		USB signals



Note
Every 6-pin connector has a power supply jumper and ESD diodes, although they are only shown for JPA.

Figure 18. Basys Pmod connector circuits

Basys Spartan-3E pin definitions											
Pin	Signal	Pin	Signal	Pin	Signal	Pin	Signal	Pin	Signal	Pin	Signal
1	PROG	25	CA	49	VDDO-2	73	GND	97	PS2D	121	VDDO-0
2	LD7	26	AN3	50	GRN2	74	JD-3	98	NC	122	U-INT0
3	LD6	27	GND	51	GRN1	75	JD-1	99	GND	123	U-FLAGC
4	LD5	28	VDDO-3	52	GRN0	76	JC-3	100	VDDO-1	124	U-FLAGB
5	LD4	29	SW2	53	CLK2	77	JC-1	101	NC	125	U-FLAGA
6	SW7	30	VDDAUX	54	CLK1	78	NC	102	VDDAUX	126	U-IFCLK
7	LD3	31	NC	55	GND	79	VDDO-1	103	NC	127	GND
8	LD2	32	AN2	56	NC	80	VDDINT	104	U-SLWR	128	NC
9	VDDINT	33	AN1	57	MODE2	81	JA-1	105	U-SLRD	129	NC
10	SW6	34	AN0	58	JD-4	82	JA-3	106	U-SLCS	130	U-D7
11	GND	35	VS	59	JD-2	83	CG	107	NC	131	U-D6
12	SW5	36	SW1	60	MODE1	84	NC	108	TMS	132	U-D5
13	VDDO-3	37	GND	61	GND	85	JC-4	109	TDO	133	GND
14	LD1	38	SW0	62	MODE0	86	JC-2	110	TCK	134	U-D4
15	LD0	39	HS	63	DIN	87	JB-1	111	NC	135	U-D3
16	CB	40	INIT	64	VDDO-2	88	JB-3	112	U-PKTD	136	NC
17	CF	41	BTN3	65	VDDAUX	89	NC	113	U-FAD1	137	VDDAUX
18	SW4	42	VDDO-2	66	NC	90	GND	114	NC	138	VDDO-0
19	GND	43	BLUE1	67	RED2	91	JA-2	115	VDDINT	139	U-D2
20	CE	44	BLUE0	68	RED1	92	JA-4	116	U-FAD0	140	U-D1
21	CD	45	VDDINT	69	BTN0	93	JB-2	117	U-SLDE	141	NC
22	DP	46	GND	70	RED0	94	JB-4	118	GND	142	U-D0
23	CC	47	BTN2	71	CCLK	95	NC	119	NC	143	HSWAP
24	SW3	48	BTN1	72	DONE	96	PS2C	120	NC	144	TDI



Philips Semiconductors

Product data

CMOS 8-bit A/D converters

ADC0803/0804

DESCRIPTION

The ADC0803 family is a series of three CMOS 8-bit successive approximation A/D converters using a resistive ladder and capacitive array together with an auto-zero comparator. These converters are designed to operate with microprocessor-controlled buses using a minimum of external circuitry. The 3-State output data lines can be connected directly to the data bus.

The differential analog voltage input allows for increased common-mode rejection and provides a means to adjust the zero-scale offset. Additionally, the voltage reference input provides a means of encoding small analog voltages to the full 8 bits of resolution.

FEATURES

- Compatible with most microprocessors
- Differential inputs
- 3-State outputs
- Logic levels TTL and MOS compatible
- Can be used with internal or external clock
- Analog input range 0 V to V_{CC}
- Single 5 V supply
- Guaranteed specification with 1 MHz clock

PIN CONFIGURATION

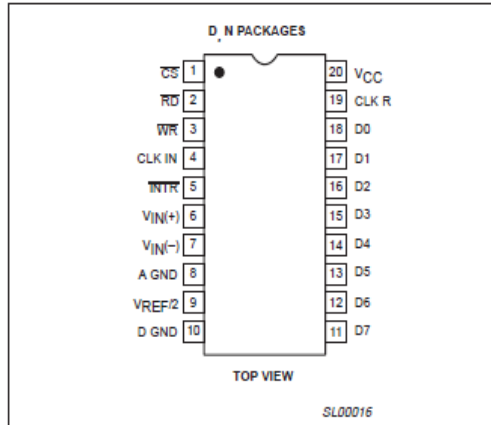


Figure 1. Pin configuration

APPLICATIONS

- Transducer-to-microprocessor interface
- Digital thermometer
- Digitally-controlled thermostat
- Microprocessor-based monitoring and control systems

ORDERING INFORMATION

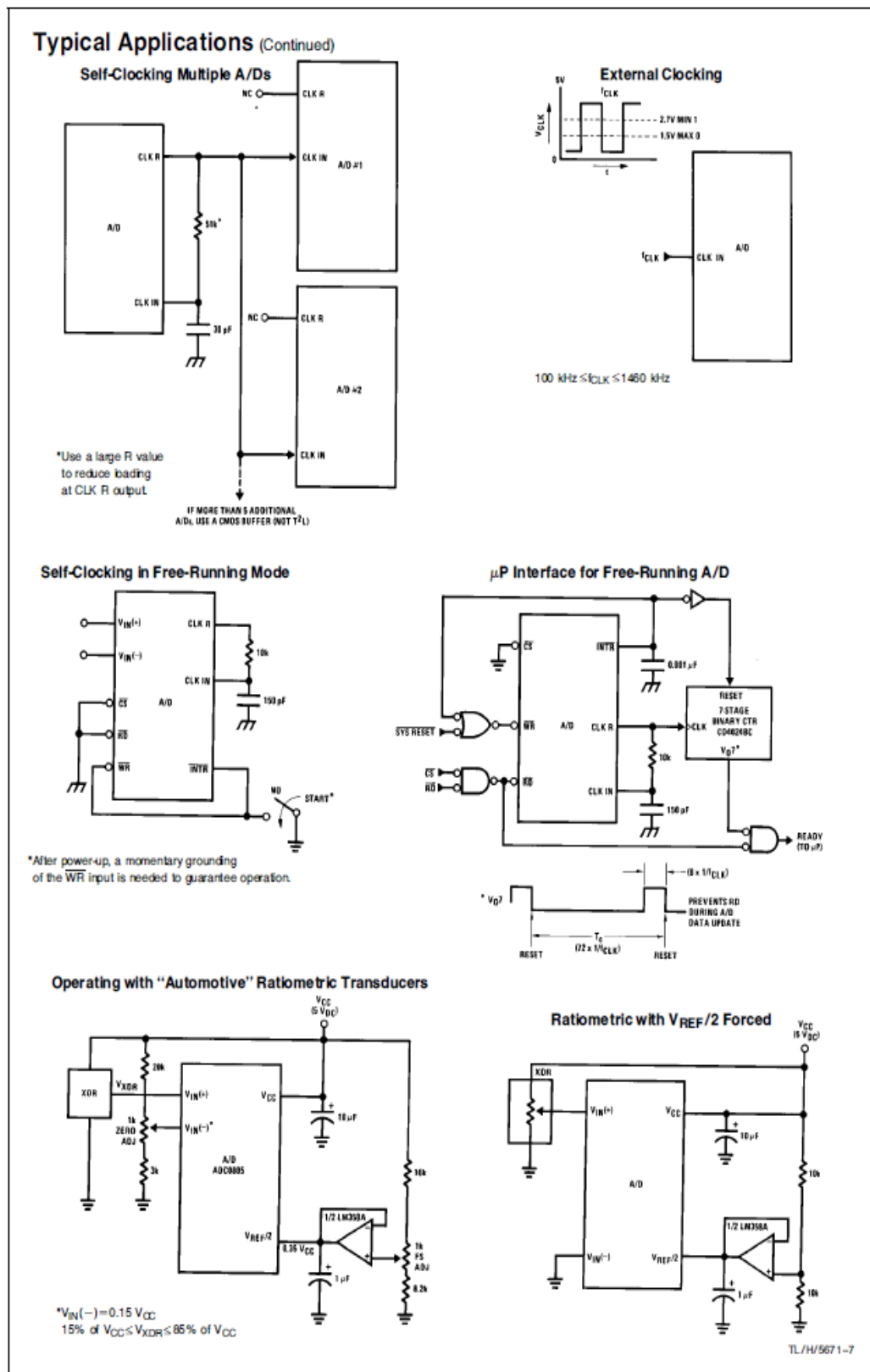
DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	TOPSIDE MARKING	DWG #
20-pin plastic small outline (SO) package	0 to 70 °C	ADC0803CD, ADC0804CD	ADC0803-1CD, ADC0804-1CD	SOT163-1
20-pin plastic small outline (SO) package	-40 to 85 °C	ADC0803LCD, ADC0804LCD	ADC0803-1LCD, ADC0804-1LCD	SOT163-1
20-pin plastic dual in-line package (DIP)	0 to 70 °C	ADC0803CN, ADC0804CN	ADC0803-1CN, ADC0804-1CN	SOT146-1
20-pin plastic dual in-line package (DIP)	-40 to +85 °C	ADC0803LCN, ADC0804LCN	ADC0803-1LCN, ADC0804-1LCN	SOT146-1

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	CONDITIONS	RATING	UNIT
V_{CC}	Supply voltage		6.5	V
	Logic control input voltages		-0.3 to +16	V
	All other input voltages		-0.3 to ($V_{CC} + 0.3$)	V
T_{amb}	Operating temperature range		-40 to +85	°C
	ADC0803LCD/ADC0804LCD		-40 to +85	°C
	ADC0803LCN/ADC0804LCN		0 to +70	°C
	ADC0803CD/ADC0804CD		0 to +70	°C
	ADC0803CN/ADC0804CN			
T_{stg}	Storage temperature		-65 to +150	°C
T_{slid}	Lead soldering temperature (10 seconds)		230	°C
P_D	Maximum power dissipation ¹	$T_{amb} = 25$ °C (still air)	1690 1390	mW mW
	N package			
	D package			

NOTE:

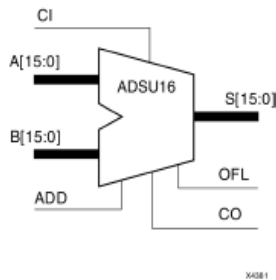
1. Derate above 25 °C, at the following rates: N package at 13.5 mW/°C; D package at 11.1 mW/°C.





ADSU16

Macro: 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



Introduction

When the ADD input is High, this element adds two 16-bit words (A15:A0 and B15:B0) and a carry-in (CI), producing a 16-bit sum output (S15:S0) and carry-out (CO) or overflow (OFL).

When the ADD input is Low, this element subtracts B15:B0 from A15:A0, producing a difference output and a carry-out (CO) or an overflow (OFL).

In add mode, CO and CI are active-High. In subtract mode, CO and CI are active-Low. OFL is active-High in add and subtract modes.

Logic Table

Input			Output
ADD	A	B	S
1	An	Bn	An+Bn+CI*
0	An	Bn	An-Bn-CI*
CI*: ADD = 0, CI, CO active LOW			
CI*: ADD = 1, CI, CO active HIGH			

Unsigned Binary Versus Two's Complement -This design element can operate on either 16-bit unsigned binary numbers or 16-bit two's-complement numbers. If the inputs are interpreted as unsigned binary, the result can be interpreted as unsigned binary. If the inputs are interpreted as two's complement, the output can be interpreted as two's complement. The only functional difference between an unsigned binary operation and a two's-complement operation is the way they determine when "overflow" occurs. Unsigned binary uses CO, while two's complement uses OFL to determine when "overflow" occurs.

With adder/subtractors, either unsigned binary or two's-complement operations cause an overflow. If the result crosses the overflow boundary, an overflow is generated. Similarly, when the result crosses the carry-out boundary, a carry-out is generated.

Unsigned Binary Operation -For unsigned binary operation, this element can represent numbers between 0 and 65535, inclusive. In add mode, CO is active (High) when the sum exceeds the bounds of the adder/subtractor. In subtract mode, CO is an active-Low borrow-out and goes Low when the difference exceeds the bounds.

An unsigned binary "overflow" that is always active-High can be generated by gating the ADD signal and CO as follows:

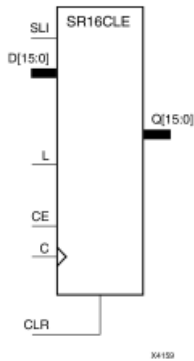
unsigned overflow = CO XOR ADD

OFL is ignored in unsigned binary operation.



SR16CLE

Macro: 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



Introduction

This design element is a shift register with a shift-left serial input (SLI), parallel inputs (D), parallel outputs (Q), and three control inputs: clock enable (CE), load enable (L), and asynchronous clear (CLR). The register ignores clock transitions when (L) and (CE) are Low. The asynchronous (CLR), when High, overrides all other inputs and resets the data outputs (Q) Low. When (L) is High and (CLR) is Low, data on the Dn -D0 inputs is loaded into the corresponding Qn -(Q0) bits of the register.

When (CE) is High and (L) and (CLR) are Low, data on the SLI input is loaded into the first bit of the shift register during the Low-to-High clock (C) transition and appears on the (Q0) output. During subsequent clock transitions, when (CE) is High and (L) and (CLR) are Low, the data shifts to the next highest bit position as new data is loaded into (Q)0 (for example, SLI→Q0, Q0→Q1, and Q1→Q2).

Registers can be cascaded by connecting the last (Q) output of one stage to the SLI input of the next stage and connecting clock, (CE), (L), and (CLR) inputs in parallel.

This register is asynchronously cleared, outputs Low, when power is applied. For FPGA devices, power-on conditions are simulated when global set/reset (GSR) is active. GSR defaults to active-High but can be inverted by adding an inverter in front of the GSR input of the appropriate STARTUP_architecture symbol.

Logic Table

Inputs						Outputs	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	No Change	No Change

z = bitwidth -1
qn-1 = state of referenced output one setup time prior to active clock transition

Design Entry Method

This design element is only for use in schematics.

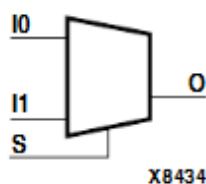


MUXF6



MUXF6

Primitive: 2-to-1 Lookup Table Multiplexer with General Output



MUXF6 provides a multiplexer function in one half of a Virtex-4 CLB (two slices) for creating a function-of-6 lookup table or an 8-to-1 multiplexer in combination with the associated four lookup tables and two MUXF5s. The local outputs (LO) from the two MUXF5s in the CLB are connected to the I0 and I1 inputs of the MUXF6. The S input is driven from any internal net. When Low, S selects I0. When High, S selects I1.

The variants, "MUXF6_D" and "MUXF6_L", provide additional types of outputs that can be used by different timing models for more accurate pre-layout timing estimation.

Inputs			Outputs
S	I0	I1	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

Usage

This design element can only be instantiated.

VHDL Instantiation Template

```
-- MUXF6 : In order to incorporate this function into the design,
-- VHDL : the following instance declaration needs to be placed
-- instance : in the architecture body of the design code. The
-- declaration : instance name (MUXF6_inst) and/or the port declarations
-- code : after the ">" assignment maybe changed to properly
-- : reference and connect this function to the design.
-- : All inputs and outputs must be connected.

-- Library : In addition to adding the instance declaration, a use
-- declaration : statement for the UNISIM.vcomponents library needs to be
-- for : added before the entity declaration. This library
-- Xilinx : contains the component declarations for all Xilinx
-- primitives : primitives and points to the models that will be used
-- : for simulation.

-- Copy the following two statements and paste them before the
-- Entity declaration, unless they already exists.

Library UNISIM;
use UNISIM.vcomponents.all;

-- <-----Out code below this line and paste into the architecture body----->

-- MUXF6: CLB MUX to tie two MUXF5's together with general output
-- Xilinx HDL Libraries Guide Version 8.1i

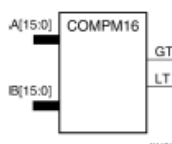
MUXF6_inst : MUXF6
port map (
    O => O, -- Output of MUX to general routing
    I0 => I0, -- Input (tie to MUXF5 LO out)
    I1 => I1, -- Input (tie to MUXF5 LO out)
    S => S -- Input select to MUX
);

-- End of MUXF6_inst instantiation
```



COMP16

Macro: 16-Bit Magnitude Comparator



Introduction

This design element is a 16-bit magnitude comparator that compare two positive Binary-weighted words. It compares A15 : A0 and B15 : B0, where A15 and B15 are the most significant bits.

The greater-than output (GT) is High when $A > B$, and the less-than output (LT) is High when $A < B$. When the two words are equal, both GT and LT are Low. Equality can be measured with this macro by comparing both outputs with a NOR gate.

Logic Table

Inputs								Outputs	
A7, B7	A6, B6	A5, B5	A4, B4	A3, B3	A2, B2	A1, B1	A0, B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

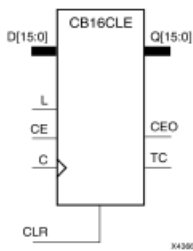
Design Entry Method

This design element is only for use in schematics.



CB16CLE

Macro: 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



Introduction

This element is a synchronously loadable, asynchronously clearable, cascadable binary counter. The asynchronous clear (CLR) input, when High, overrides all other inputs and forces the Q outputs, terminal count (TC), and clock enable out (CEO) to logic level zero, independent of clock transitions. The data on the D inputs is loaded into the counter when the load enable input (L) is High during the Low-to-High clock transition, independent of the state of clock enable (CE). The Q outputs increment when CE is High during the Low-to-High clock transition. The counter ignores clock transitions when CE is Low. The TC output is High when all Q outputs are High.

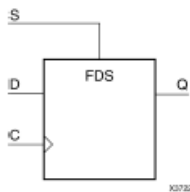
Create larger counters by connecting the CEO output of each stage to the CE input of the next stage and connecting the C, L, and CLR inputs in parallel. CEO is active (High) when TC and CE are High. The maximum length of the counter is determined by the accumulated CE-to-TC propagation delays versus the clock period. The clock period must be greater than $n(t_{CE-TC})$, where n is the number of stages and the time t_{CE-TC} is the CE-to-TC propagation delay of each stage. When cascading counters, use the CEO output if the counter uses the CE input or use the TC output if it does not.

This counter is asynchronously cleared, outputs Low, when power is applied. For FPGA devices, power-on conditions are simulated when global set/reset (GSR) is active. GSR defaults to active-High but can be inverted by adding an inverter in front of the GSR input of the appropriate *STARTUP_architecture* symbol.



FDS

Primitive: D Flip-Flop with Synchronous Set



Introduction

FDS is a single D-type flip-flop with data (D) and synchronous set (S) inputs and data output (Q). The synchronous set input, when High, sets the Q output High on the Low-to-High clock (C) transition. The data on the D input is loaded into the flip-flop when S is Low during the Low-to-High clock (C) transition.

For FPGA devices, this flip-flop is asynchronously preset, output High, when power is applied. Power-on conditions are simulated when global set/reset (GSR) is active. GSR defaults to active-High but can be inverted by adding an inverter in front of the GSR input of the appropriate *STARTUP_architecture* symbol.

Logic Table

Inputs			Outputs
S	D	C	Q
1	X	↑	1
0	D	↑	D

Design Entry Method

This design element is only for use in schematics.

Available Attributes

Attribute	Type	Allowed Values	Default	Description
INIT	Binary	0, 1	1	Sets the initial value of Q output after configuration.

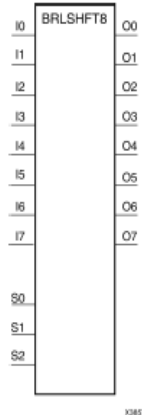
For More Information

- See the [Virtex-5 FPGA User Guide](#).
- See the [Virtex-5 FPGA Data Sheet DC and Switching Characteristics](#).



BRLSHFT8

Macro: 8-Bit Barrel Shifter



Introduction

This design element is an 8-bit barrel shifter, can rotate the eight inputs (I7 : I0) up to eight places. The control inputs (S2 : S0) determine the number of positions, from one to eight, that the data is rotated. The eight outputs (O7 : O0) reflect the shifted data inputs.

Logic Table

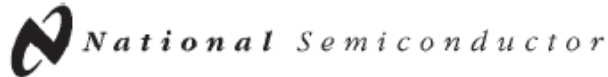
Inputs											Outputs							
S2	S1	S0	I0	I1	I2	I3	I4	I5	I6	I7	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
0	0	1	a	b	c	d	e	f	g	h	b	c	d	e	f	g	h	a
0	1	0	a	b	c	d	e	f	g	h	c	d	e	f	g	h	a	b
0	1	1	a	b	c	d	e	f	g	h	d	e	f	g	h	a	b	c
1	0	0	a	b	c	d	e	f	g	h	e	f	g	h	a	b	c	d
1	0	1	a	b	c	d	e	f	g	h	f	g	h	a	b	c	d	e
1	1	0	a	b	c	d	e	f	g	h	g	h	a	b	c	d	e	f
1	1	1	a	b	c	d	e	f	g	h	h	a	b	c	d	e	f	g

Design Entry Method

This design element is only for use in schematics.

For More Information

- See the [Virtex-5 FPGA User Guide](#).
- See the [Virtex-5 FPGA Data Sheet DC and Switching Characteristics](#).



December 1995

TL081 Wide Bandwidth JFET Input Operational Amplifier

General Description

The TL081 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The TL081 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

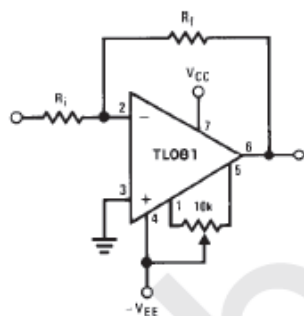
The TL081 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices has low noise and offset voltage drift, but for applications where these requirements

are critical, the LF356 is recommended. If maximum supply current is important, however, the TL081C is the better choice.

Features

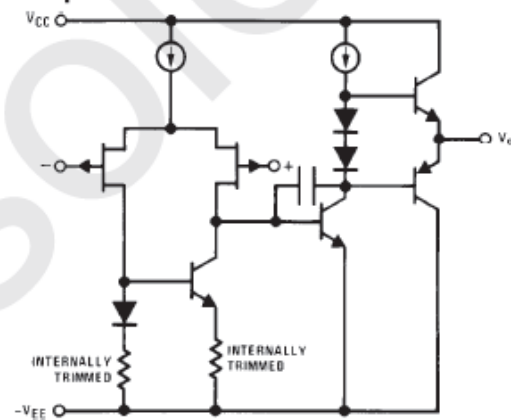
■ Internally trimmed offset voltage	15 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	10 ¹² Ω
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, $BW = 20$ Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



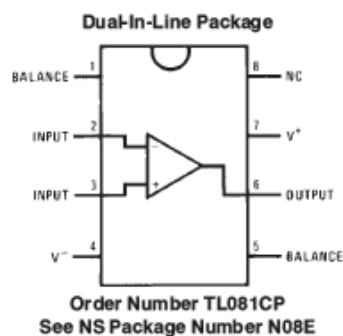
TL/H/8358-1

Simplified Schematic



TL/H/8358-2

Connection Diagram



TL/H/8358-4

Order Number TL081CP
See NS Package Number N08E

BI-FET II™ is a trademark of National Semiconductor Corp.

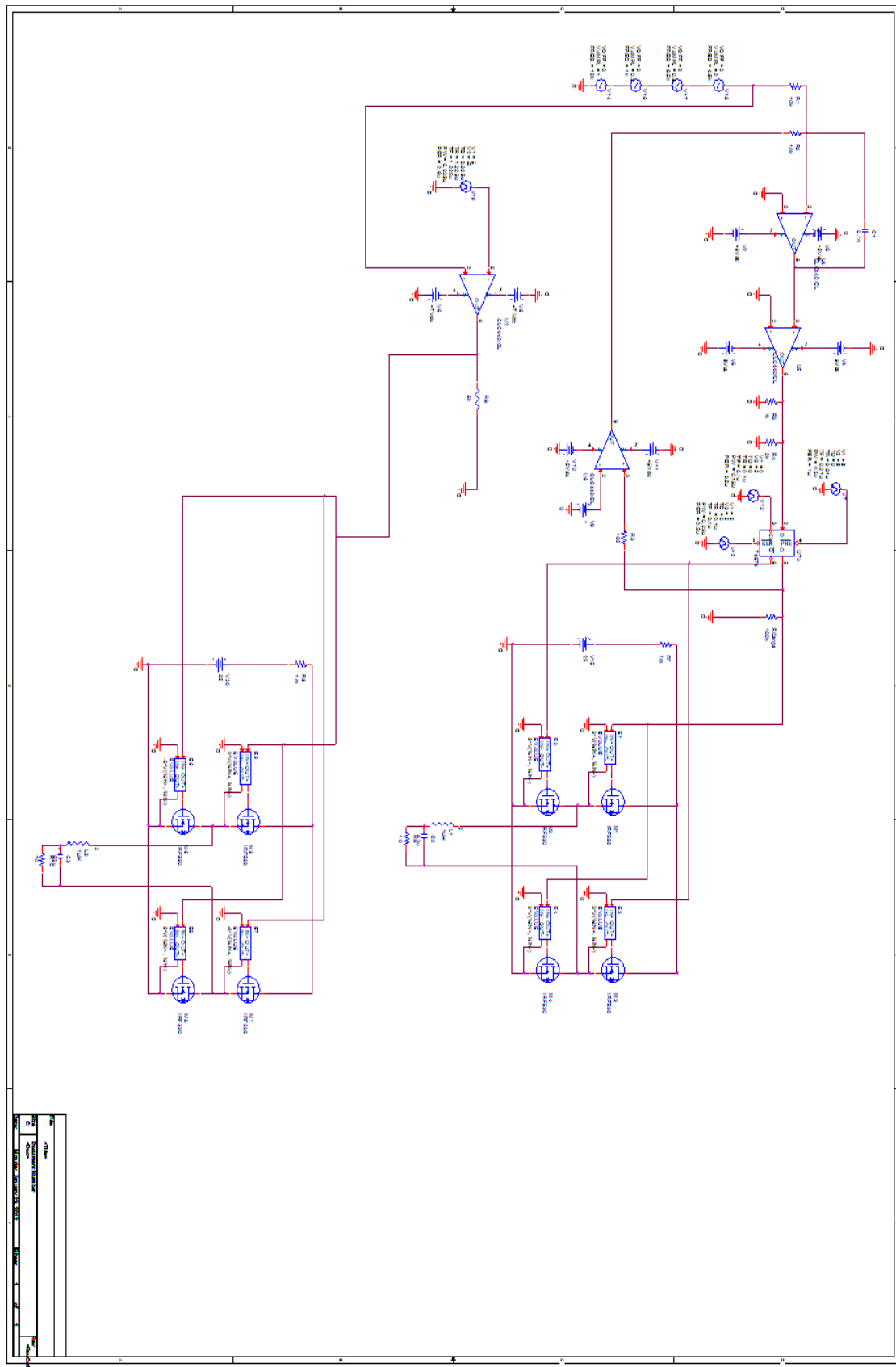
©1995 National Semiconductor Corporation TL/H/8358

RRD-830M125/Printed in U. S. A.

TL081 Wide Bandwidth JFET Input Operational Amplifier

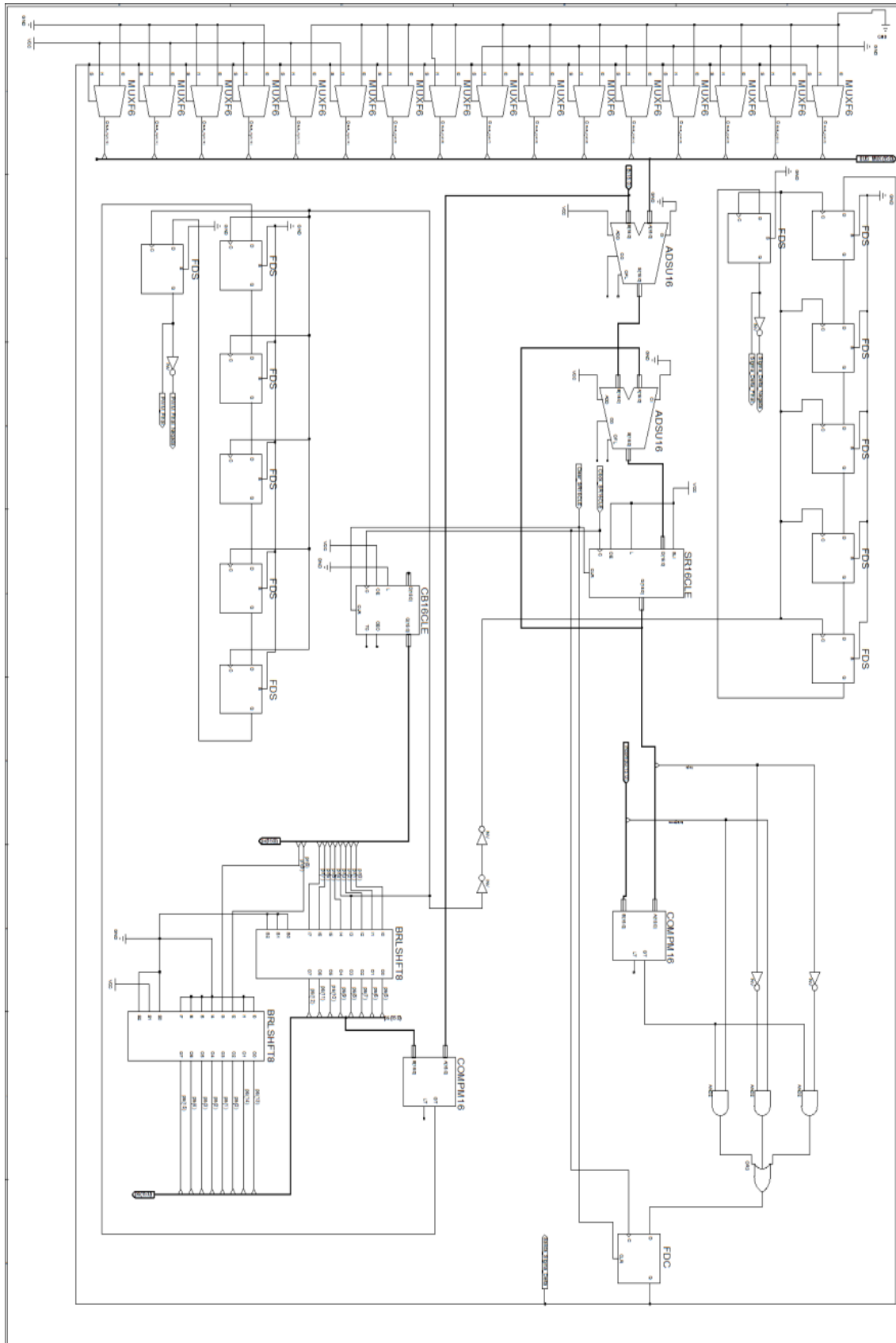


ESQUEMA ANALÓGICO DEL CIRCUITO DESARROLLADO MEDIANTE ORCAD





ESQUEMA DIGITAL DEL CIRCUITO DESARROLLADO MEDIANTE XILINX





CÓDIGO VHDL

pins.ucf

```

1  #OUTPUTS
2
3  NET "Sigma_Delta_Final" LOC = "P59";
4  NET "Sigma_Delta_Negada" LOC = "P81";
5  NET "PWM_Final" LOC = "P74";
6  NET "PWM_Final_Negada" LOC = "P58";
7  NET "Enable" LOC = "P82";
8
9  #INPUTS
10
11
12  NET "B<7>" LOC = "P85" | IOSTANDARD = LVCMOS25;
13  NET "B<8>" LOC = "P76" | IOSTANDARD = LVCMOS25;
14  NET "B<9>" LOC = "P86" | IOSTANDARD = LVCMOS25;
15  NET "B<10>" LOC = "P77" | IOSTANDARD = LVCMOS25;
16  NET "B<11>" LOC = "P94" | IOSTANDARD = LVCMOS25;
17  NET "B<12>" LOC = "P88" | IOSTANDARD = LVCMOS25;
18  NET "B<13>" LOC = "P93" | IOSTANDARD = LVCMOS25;
19  NET "B<14>" LOC = "P87" | IOSTANDARD = LVCMOS25;
20
21  NET "pr<5>" LOC = "P75" | IOSTANDARD = LVCMOS25;
22
23
24  NET "B<0>" LOC = "P70" | PULLDOWN;
25  NET "B<1>" LOC = "P68" | PULLDOWN;
26  NET "B<2>" LOC = "P67" | PULLDOWN;
27  NET "B<3>" LOC = "P52" | PULLDOWN;
28  NET "B<4>" LOC = "P51" | PULLDOWN;
29  NET "B<5>" LOC = "P50" | PULLDOWN;
30  NET "B<6>" LOC = "P44" | PULLDOWN;
31  NET "B<7>" PULLDOWN;
32  NET "B<8>" PULLDOWN;
33  NET "B<9>" PULLDOWN;
34  NET "B<10>" PULLDOWN;
35  NET "B<11>" PULLDOWN;
36  NET "B<12>" PULLDOWN;
37  NET "B<13>" PULLDOWN;
38  NET "B<14>" PULLDOWN;
39  NET "B<15>" PULLDOWN;
40
41  #CLOCKS
42
43  NET "Clock_SR16CLE" LOC = "P54";
44  NET "Clear_SR16CLE" LOC = "P47";
45
46
47
48

```



tb_circuito2.vhd

```
1  -- Vhdl test bench created from schematic
   D:\Proyecto_Fin_Carrera\ISE\PFC\PFC_ISE\Circuito2.sch - Sun Jun 24 17:23:50 2012
2  --
3  -- Notes:
4  -- 1) This testbench template has been automatically generated using types
5  -- std_logic and std_logic_vector for the ports of the unit under test.
6  -- Xilinx recommends that these types always be used for the top-level
7  -- I/O of a design in order to guarantee that the testbench will bind
8  -- correctly to the timing (post-route) simulation model.
9  -- 2) To use this template as your testbench, change the filename to any
10 -- name of your choice with the extension .vhd, and use the "Source->Add"
11 -- menu in Project Navigator to import the testbench. Then
12 -- edit the user defined section below, adding code to generate the
13 -- stimulus for your design.
14 --
15 LIBRARY ieee;
16 USE ieee.std_logic_1164.ALL;
17 USE ieee.numeric_std.ALL;
18 LIBRARY UNISIM;
19 USE UNISIM.Vcomponents.ALL;
20 ENTITY Circuito2_Circuito2_sch_tb IS
21 END Circuito2_Circuito2_sch_tb;
22 ARCHITECTURE behavioral OF Circuito2_Circuito2_sch_tb IS
23
24     COMPONENT Circuito2
25     PORT( Salida_Sigma_Delta   : OUT   STD_LOGIC;
26           B : IN STD_LOGIC_VECTOR (15 DOWNTO 0);
27           BUS_MUX : OUT   STD_LOGIC_VECTOR (15 DOWNTO 0);
28           Incomp0 : IN STD_LOGIC_VECTOR (15 DOWNTO 0);
29           Clock_SR16CLE : IN STD_LOGIC;
30           Clear_SR16CLE : IN STD_LOGIC;
31           pr : OUT   STD_LOGIC_VECTOR (15 DOWNTO 0);
32           ps : OUT   STD_LOGIC_VECTOR (15 DOWNTO 0);
33           PWM_Final : OUT   STD_LOGIC;
34           Enable : OUT   STD_LOGIC;
35           PWM_Final_Negada : OUT   STD_LOGIC;
36           Sigma_Delta_Final : OUT   STD_LOGIC;
37           Sigma_Delta_Negada : OUT   STD_LOGIC);
38     END COMPONENT;
39
40     SIGNAL Salida_Sigma_Delta : STD_LOGIC;
41     SIGNAL B : STD_LOGIC_VECTOR (15 DOWNTO 0);
42     SIGNAL BUS_MUX : STD_LOGIC_VECTOR (15 DOWNTO 0);
43     SIGNAL Incomp0 : STD_LOGIC_VECTOR (15 DOWNTO 0);
44     SIGNAL Clock_SR16CLE : STD_LOGIC;
45     SIGNAL Clear_SR16CLE : STD_LOGIC;
46     SIGNAL pr : STD_LOGIC_VECTOR (15 DOWNTO 0);
47     SIGNAL ps : STD_LOGIC_VECTOR (15 DOWNTO 0);
48     SIGNAL PWM_Final : STD_LOGIC;
49     SIGNAL Enable : STD_LOGIC;
50     SIGNAL PWM_Final_Negada : STD_LOGIC;
51     SIGNAL Sigma_Delta_Final : STD_LOGIC;
52     SIGNAL Sigma_Delta_Negada : STD_LOGIC;
53
54 BEGIN
55
56     UUT: Circuito2 PORT MAP(
```



tb_circuito2.vhd

```
57     Salida_Sigma_Delta => Salida_Sigma_Delta,
58     B => B,
59     BUS_MUX => BUS_MUX,
60     Incomp0 => Incomp0,
61     Clock_SR16CLE => Clock_SR16CLE,
62     Clear_SR16CLE => Clear_SR16CLE,
63     pr => pr,
64     ps => ps,
65     PWM_Final => PWM_Final,
66     Enable => Enable,
67     PWM_Final_Negada => PWM_Final_Negada,
68     Sigma_Delta_Final => Sigma_Delta_Final,
69     Sigma_Delta_Negada => Sigma_Delta_Negada
70 );
71
72 -- *** Test Bench - User Defined Section ***
73 -- *** Test Bench - User Defined Section ***
74
75
76
77
78     clock : PROCESS
79     BEGIN
80     Clock_SR16CLE<='1';
81         WAIT for 10ns; -- will wait forever
82     Clock_SR16CLE<='0';
83         WAIT for 10ns; -- will wait forever
84     END PROCESS;
85
86     entrada : PROCESS
87     BEGIN
88     B<="100000000000000000";
89         WAIT for 10000us;
90     B<="110000000000000000";
91         WAIT for 10000us;
92     B<="111000000000000000";
93         WAIT for 10000us;
94     B<="111010100000000000";
95         WAIT for 10000us;
96     B<="000000010000000000";
97         WAIT for 10000us;
98     B<="000001110000000000";
99         WAIT for 10000us;
100
101
102
103     B<="000000010000000000"; --50%
104         WAIT for 10000us; -- will wait forever
105     B<="000000001000000000"; --25%
106         WAIT for 10000us; -- will wait forever
107     B<="000000011000000000"; --75%
108         WAIT for 10000us; -- will wait forever
109     B<="000000000000001000";
110         WAIT for 10000us; -- will wait forever
111     B<="000000000000001100";
112         WAIT for 10000us; -- will wait forever
113
```



tb_circuito2.vhd

```
114
115     B<="00000000001100100";
116     B<="0111100000001100";
117         WAIT for 10000us; -- will wait forever
118
119
120     B<="111111111111001";
121         WAIT for 10000us; -- will wait forever
122
123     END PROCESS;
124     entrada2 : PROCESS
125     BEGIN
126     Incomp0<="0000000000000000";
127         WAIT for 10ms; -- will wait forever
128
129
130     END PROCESS;
131
132     END;
133
```

